

Service
Service
Service



Service Manual



Conteúdo

Especificações Técnicas	2
Localização dos Paineis	2
Instruções de Segurança	4
Instruções Mecânicas	6
Atualização Firmware	9
Diagrama em Bloco	11
Diagrama de Conexões	12
Painel Analógico- Formas de ondas	13
Painel Digital- Formas de ondas	14
Painel Analógico- Layout	15
Painel Digital- Layout	16
Painel Analógico	17
Painel Frontal	23
Painel Digital	27
Unidade Fonte de Alimentação	34
Circuito e descrição de IC	35
Vista Explodida	56

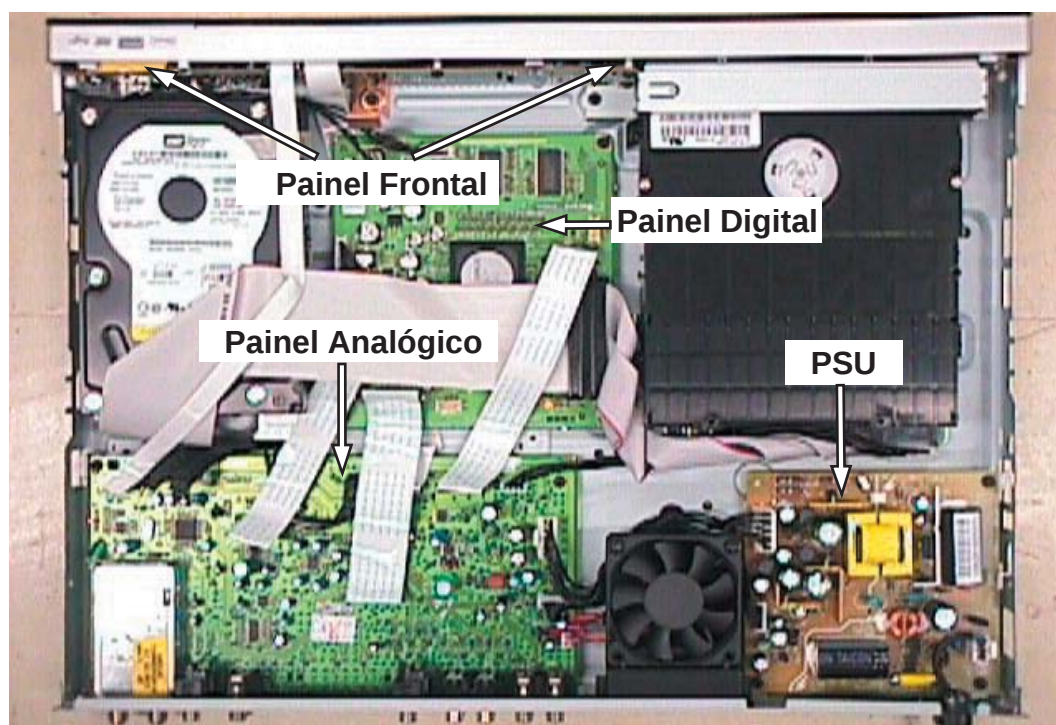
Página

2
2
4
6
9
11
12
13
14
15
16
17
23
27
34
35
56



1. Especificações Técnicas

1.1 Localização dos Paineis



1.2 Geral:

Alimentação	: 127V /37
	: 110V - 240V /55
	: 220V - 240V /75/97
Consumo	: 25 W (típico)
Consumo em Standby	: < 3 W

1.3 RF Tuner

Teste equipamento: Fluke 54200 TV Gerador de sinal
Teste streams: Philips Standard teste padrão

1.3.1 Sistema

NTSC-M

1.3.2 RF - Loop Through:

Relação de Frequência	: 45 - 860 MHz
Ganho: (ANT IN - ANT OUT):	≥ -6dB
Interferência de rádio/ entrada max. de tensão, em 75Ω, 3 método tom (≤ -40dB)	: sem limite

1.3.3 Modulador:

Modulação de vídeo	: 80%±15%
Resposta de frequência	: 0 ± 3dB, 0...4.2MH
Modulação de áudio 1kHz tom	: ± 12kHz, tol. ± 4kHz

1.3.4 Receiver:

PLL sintonizado com AFC para melhor recepção
Relação de frequência : 55 - 805 MHz
Sensitividade em 40 dB S/N: ≤ 60dBμV em 75Ω (video unweighted)

1.3.5 Desempenho de Vídeo:

Canal 25 / 503,25 MHz,
Teste padrão: standard teste padrão
RF Nível 74dBμV
Medidas de Saída Cinch
Resposta de Frequência: 0.1 - 3.58 MHz -1 ± 3dB

1.3.6 Desempenho de Vídeo:

Desempenho Analógico de Áudio - HiFi:

Resposta de Frequência em saída Cinch (E+D)
: 100 Hz - 10 kHz / 0 ± 3dB

S/N de acordo com DIN 45405, 7, 1967
e teste padrão standard PHILIPS
sinal de vídeo : ≥ 45dB
Distorção harmônica (1 kHz, ± 25 kHz desvio) : ≤ 1.5%

1.3.7 Sintonia

Sintonia de Procura Automática

Scanning time sem antena : tipo. 3 min.
Nível parado(visão de carga): ≥ 37dBμV
Operação durante erro de sintonia máxima : ± 100 kHz

Sintonia Manual

Manual seleção no modo "STORE"

1.4 Entradas/Saídas Analógicas

1.4.1 Entrada Externa(Traseira)

Video - Y/C (Hosiden)

acordo IEC 933-5

Sobrepôr DC-nível no pino 4 (carga $\geq 100k\Omega$):

< 2.4V é detectado como taxa de aspecto 4:3

> 3.5V é detectado como taxa de aspecto 16:9

Entrada de tensão Y:	1 Vpp $\pm$ 3dB
Entrada de impedância Y:	75 Ω
Tensão de entrada C:	burst 300 mVpp $\pm$ 3dB
Impedância de entrada C:	75 Ω

Video Cinch

Tensão de entrada	: 1 Vpp $\pm$ 3dB
Impedância de entrada:	75 Ω

Audio Cinch

Tensão de entrada	: 2.2 Vrms max.
Impedância de entrada	: > 10k Ω

1.4.2 Entrada de Conectores Frontal Áudio/Video

Audio

Tensão de entrada	: 2 Vrms max.
Impedância de entrada	: > 10k Ω

Video - Cinch

Tensão de entrada	: 1 Vpp $\pm$ 3dB
Impedância de entrada	: 75 Ω

Video - YC (Hosiden)

acordo IEC 933-5

Sobrepôr DC-nível no pino 4 (carga $\geq 100 k\Omega$):

< 2.4V é detectada como taxa de aspecto 4:3

> 3.5V é detectada como taxa de aspecto 16:9

Tensão de entrada Y	: 1 Vpp $\pm$ 3dB
Impedância de entrada Y	: 75 Ω
Tensão de entrada C	: burst 300 mVpp $\pm$ 3dB
Impedância de entrada C	: 75 Ω

1.4.3 Saída 1

Component Video Cinch Y/Pb/Pr / Progressive Scan

acordo EIO-770-1-A, EIA-770-2-A

Audio - Cinch

Tensão de saída	: 2 Vrms max
Impedância de saída:	< 2k Ω

1.4.4 Saída 2

Video - Y/C (Hosiden)

Tensão de saída Y	: 1 Vpp $\pm$ 3dB
C	: burst 300 mVpp $\pm$ 1dB
Impedância de saída Y, C:	75 Ω

Video - Cinch

Tensão de saída	: 1 Vpp $\pm$ 1dB
Impedância de saída:	75 Ω

Audio - Cinch

Tensão de saída	: 2 Vrms max
Impedância de saída:	< 1k Ω

1.5 Desempenho de Vídeo DVD

Todas as saídas carregadas com 75 Ohm

SNR medição total de largura de faixa sem pesagem

1.5.1 Saídas Total

SNR	: > 48dB
Largura de faixa	: 4.2 MHz - 3dB

1.6 Desempenho de Áudio do CD

1.6.1 Saída Traseira Cinch

Tensão de saída modo 2 canais	: 2Vrms $\pm$ 1dB
Canal sem balanço (1kHz)	: <1dB
Crosstalk 1kHz	: >100dB
Crosstalk 20Hz-20kHz	: >87dB
Resposta de Frequência 20Hz-20kHz	: $\pm$ 0.2dB max
Taxa sinal/ruído (A-weighted)	: >90dB
Relação dinâmica 1kHz	: >83dB
Ruído e distorção 1kHz	: >83dB
Ruído e distorção 20Hz-20kHz	: >75dB
Distorção de intermodulação	: >70dB
Mute	: >95dB
Atenuação faixa de saída:	>40dB acima de 30kHz

1.7 Saída Digital

1.7.1 Coaxial

CDDA / LPCM	: acordo IEC60958
MPEG1, MPEG2, AC3 audio	: acordo IEC61937
DTS	: acordo IEC61937 amendment 1

1.8 Entrada de Vídeo Digital (IEEE 1394)

1.8.1 Aplicações Padrão

Acordo de Implementação:

IEEE Std 1394-1995

IEC 61883 - Part 1

IEC 61883 - Part 2 SD-DVCR (02-01-1997)

Especificação do consumidor usando o VCR digital 6.3 mm fita magnética - dec. 1994

Acordo de mecanismo de conexão

Anexo A do 61883-1

1.9 Dimensões e Peso

Altura	: 5.5mm
Bandeja fechado	: LxAxP :360x43x322mm
Peso sem embalagem	: 3 kg
Peso embalado	: 4 kg

1.10 Saída de Laser & Comprimento de Onda

1.10.1 DVD

Saída de energia durante leitura	: 1.0mW
Saída de energia durante escrita	: 30mW
Comprimento de onda	: 650nm

1.10.2 CD

Energia de saída	: 1.0mW
Comprimento de onda	: 780nm

1.11 Velocidade de Escrita

Tipo do Disco (Função)	Veloc. Rotação Disco
Velocidade Ler CD	7X CAV (25Hz)
Velocidade Ler DVD	4X CAV (40Hz)
Veloc. Escrita DVD+RW	2.4X ZCAV
Veloc. Escrita DVD+R	2.4X ZCAV

2. Informações de segurança, Notas Gerais & Exigência de Sem Clumbo

2.1 Instruções de Segurança

2.1.1 Segurança geral

Os regulamentos de segurança requerem que durante um reparo:

- Conecte a unidade aos cabos principais um transformador de isolamento.
- Recoloque os componentes de segurança, indicados pelo símbolo , somente pelos componentes idênticos aos originais. Qualquer outra substituição de componente (com exceção do tipo original) pode aumentar o risco de fogo ou choque elétrico.

Os regulamentos de segurança requerem que depois de um reparo, você deve retornar a unidade na sua condição original. Preste atenção, particularmente, nos seguintes pontos:

- Distribua os fios e cabos corretamente, e repare-os com os acampamentos montados do cabo.
- Verifique a isolação da condução dos fios principais para danos externos.
- Verifique a resistência elétrica DC entre os fios dos plugs principais e o lado secundário:
 1. Desplugue os cabos principais, e conecte um fio entre os dois pinos do plugue principal.
 2. Ajuste os fios do interruptor principal na posição "ON" (mantenha o cabo dos fios principais plugados!)
 3. Meça o valor da resistência entre os fios dos plugues principais e do painel frontal, controle e botão de chassis.
 4. O reparo ou a unidade correta quando a resistência está sendo medida é de menos de 1 MΩ.
 5. Verifique isto, antes de retornar a unidade ao cliente / usuário (ref. UL- padrão no. 1492).
 6. Mude a unidade para "OFF", e remova o fio entre os dois pinos do plugue principal.

2.1.2 Segurança de laser

Essa unidade emprega um laser. Somente pessoal de serviço qualificado pode remover a tampa, ou tente prestar serviços de manutenção nesse dispositivo (devido a possível ferimento nos olhos).

Unidade do dispositivo de Laser

Tipo: laser semi-condutor GaAlAs

Comprimento de onda: 650 nm (DVD)

780nm (VCD/CD)

Energia de saída: 20 mW (DVD+RW writing)

: 0.8 mW (leitura de DVD)

: 0.3 mW (leitura de VDC/CD)

Divergência do feixe: 60 graus



Figura 2-1

Nota: o uso dos controles ou do ajuste ou o desempenho do procedimento à exceção daqueles especificado nisto, podem resultar na exposição perigosa da radiação. Evite a exposição direta ao feixe.

2.2 Cuidados

2.2.1 Geral

- Todos os ICs e muitos outros semicondutores são suscetíveis as descargas eletrostáticas (ESD, ) a manipulação descuidada durante o reparo pode reduzir a vida drasticamente. Certifique-se que durante o reparo, você está no mesmo potencial que a massa do aparelho por uma pulseira com resistência. Mantenha os componentes e ferramentas na mesma potência.

Equipamentos de proteção disponíveis ESD:

- Kit completo ESD3 (pequenas TABLEMAT, WRISTBAND, caixa de conexão, cabo de extensão e fio terra) 4822 310 10671.
- Verificador Wristband 4822 344 13999
- Tenha cuidado durante a medida da seção viva da tensão. O lado primário da fonte de energia (pos. 105), incluindo o dissipador de calor, carrega a tensão viva dos fios principais quando você conecta o aparelho nos fios principais (mesmo quando o aparelho está desligado!). É possível tocar nas trilhas e nos componentes de cobre nesta área preliminar desprotegida, quando você prestar serviços de manutenção no aparelho. O pessoal de serviço deve tomar precauções para evitar tocar esta área ou componentes desta área. Um "lightning stroke" e uma listra marcada impressa no painel de fiação, indica o lado preliminar da fonte de alimentação.
- Nunca substitua módulos ou componentes enquanto a unidade estiver ligada.

2.2.2 Laser

- O uso de instrumentos ópticos com este produto irá aumentar o perigo de atingir o olho.
- Apenas o pessoal de serviço qualificado pode remover a tampa ou tentar prestar serviço de manutenção a esse dispositivo, devido a possível ferimento nos olhos.
- A manipulação do reparo deve ocorrer tanto quanto possível com um disco carregado dentro do aparelho
- O texto abaixo é colocado dentro da unidade, no protetor de tampa do laser:

CAUTION: VISIBLE AND INVISIBLE LASER RADIATION WHEN OPEN. AVOID EXPOSURE TO BEAM.
 ADVARSEL: SYNLIG OG USYNLIG LASERSTRÅLING VED ÅBNING. UNDGÅ UDSÆTTELSE FOR STRÅLING.
 ADVARSEL: SYNLIG OG USYNLIG LASERSTRÅLING NÅR DEKSEL ÅPNES. UNNGÅ EKSPONERING FOR STRÅLING.
 VARNING: SYNLIG OCH OSYNLIG LASERSTRÅLNING NÅR DENNA DEL ÄR ÖPPNAD. BETRÄKTA EJ STRÅLEN.
 VAROJ: AVATTAESSA OLET ALTIINNA NÄKYVÄLLE JA NÄKYMÄTTÖMÄLLE LASER SÄTEILYLLE. ÄLÄ KATSO SÄTEESEEN.
 VORSICHT: SICHTBARE UND UNSICHTBARE LASERSTRAHLUNG WENN ABDECKUNG GEÖFFNET. NICHT DEM STRAHLAUSSETZEN.
 DANGER: VISIBLE AND INVISIBLE LASER RADIATION WHEN OPEN. AVOID DIRECT EXPOSURE TO BEAM.
 ATTENTION: RAYONNEMENT LASER VISIBLE ET INVISIBLE EN CAS D'OUVERTURE. EXPOSITION DANGEREUSE AU FAISCEAU.

Figura 2-2

2.2.3 Notas

Dolby

Manufaturado sob licença do Dolby Laboratories. "Dolby", "Pro Logic" e o símbolo duplo-D são marcas registradas do Laboratório Dolby.

© 1992-1997 Laboratório Dolby, Inc. Todos os direitos reservados.



Figura 2-3

Trusurround

TRUSURROUND, SRS e o símbolo (fig. 2-4) são marcas registradas do Laboratório SRS, Inc. A tecnologia TRUSURROUND é manufaturada sob licença do laboratório SRS, Inc.



Figura 2-4

Vídeo Plus

"Video Plus+" e "Plus Code" são marcas registradas do Gemstar Development Corporation. O sistema "Video Plus+" é fabricado sob a licença da Gemstar Development Corporation.



Figura 2-5

Microvision

Este produto incorpora tecnologia de proteção de cópia que é o método de proteção exigido da certificado U.S de patentes e outros proprietários intelectuais da própria Macrovision Corporation.

O uso desta tecnologia de proteção de cópia deve ser autorizada pela Macrovision Corporation e é permitido para casa e outros limites somente com autorização da Macrovision Corporation. A desmontagem é proibida.

2.3 Solda sem chumbo

A Philips CE está produzindo aparelhos sem chumbo (PbF) de 1.1.2005 para frente.

Identificação: A linha principal de um tipo de prato dá um número de série de 14 dígitos. Os dígitos 5 e 6 referem-se ao ano de produção, os dígitos 7 e 8 referem-se à semana de produção (no exemplo abaixo, é 1991 na semana 18).



Apesar do logo especial sem chumbo (que nem sempre é indicado), ONE MUST TREAT todos os aparelhos de sua data pra frente de acordo com as regras descritas abaixo.



Com a tecnologia sem chumbo, algumas regras devem ser respeitadas pelo workshop durante o reparo:

- Use apenas ferramentas de solda sem chumbo Philips SAC305 com o código de pedido 0622 149 00106. Se a pasta de solda sem chumbo é necessária, por favor contate o fabricante do equipamento de solda. No geral, o uso de pasta de solda em workshops deve ser evitada pois a pasta não é facilmente manuseada nem armazenada.
- Use apenas ferramentas de solda aplicáveis para ferramenta de solda sem chumbo. A ferramenta de solda deve:
 - Alcançar na ponta da ferramenta a temperatura de pelo menos 400°
 - Estabilizar o ajuste de temperatura na ponta da solda.
 - Troque a ponta de solda para diferentes aplicações.
- Ajuste sua ferramenta de solda para que a temperatura de 360° - 380° seja alcançada e estabilizada na junção da solda. O tempo de aquecimento da junção da solda não deve exceder ~ 4s. Evite temperaturas acima de 400°, ou então "wear-out" das pontas irá aumentar drasticamente e o fluxo- fluido será destruído. Para evitar "wear-out" de pontas, desligue o equipamento não usado ou reduza a temperatura.
- Misturar parte/ ferramenta de solda sem chumbo com partes/ ferramentas de solda com chumbo é possível mas a PHILIPS recomenda que se evite isso. Se não puder ser evitado, cuidadosamente limpe a solda da antiga ferramenta e re-solde com uma nova ferramenta.
- Use apenas peças originais listadas no Manual de Serviço. Mate-

riais padrão não listados (comodities) devem ser comprados em companhias externas.

- Informações especiais para ICs BGA sem chumbo: estes ICs serão entregues no chamado "pacote a seco" para proteger o IC contra umidade. Este pacote só pode ser aberto pouco antes de ser usado (soldado). Ou então o corpo do IC fica "molhado" dentro e durante o tempo de aquecimento a estrutura do IC será destruída por causa da alta temperatura dentro do corpo. Se o pacote for aberto antes do uso, o IC deve ser esquentado por algumas horas (em torno de 90°) Para secar (pense na proteção ESD!). NÃO RE-USE BGAs de modo algum!
- Para produtos produzidos ante de 1.1.2005, contendo ferramenta de solda com chumbo e componentes, toda a lista de peças será avaliada até o fim do período de serviço. Para reparo destes aparelhos, nada muda.
- No website www.atyourservice.ce.Philips.com você encontra mais informações sobre:
- (De) Solda BGA (+ instruções de operação bancária).
- Perfis de aquecimento dos BGAs e outros ICs usados em aparelhos Philips.

Você encontra estas e mais informações técnicas em "magazine", capítulo "workshop news".

Para questões adicionais, por favor, contate o help desk local.

3. Instrução de Uso

Veja o Manual no GIP.

4. Instruções Mecânicas

Nota : Os números de posição dados aqui refere-se a Vista Explodida no capítulo 9.

4.1 Desmontagem da Tampa da Bandeja do DVD manualmente

- 1) Insira uma chave de fenda no vão na parte inferior do aparelho e empure na direção como mostra a fig. 4-1 para destravar antes de retirar o carregador 1001.



Figura 4-1: Retirando a Tampa da Bandeja

- 2) Remova a Tampa da Bandeja 110 como mostra a fib. 4-2.

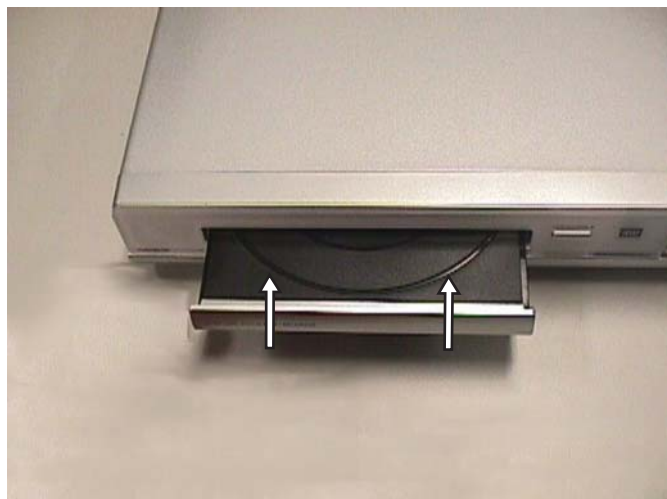


Figura 4-2: Remova a Tampa da Bandeja

4.2 Desmontagem do Motor Básico (Drive D4.5 aberto)

- 1) Remova os 7 parafusos para soltar a tampa superior 240 .
- 2) Remova os 4 parafusos para soltar o Motor Básico 1001 como mostra a Figura 4-3.

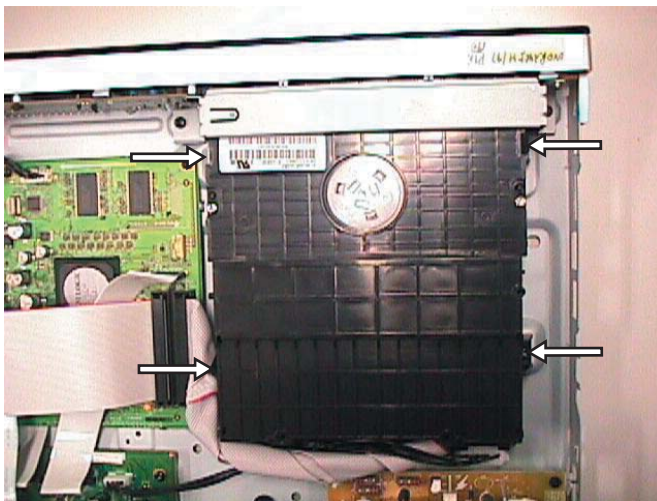


Figura 4-3: Remova o Motor Básico

- 3) Posição de Serviço do Motor Básico como mostra a Fig. 4-4.

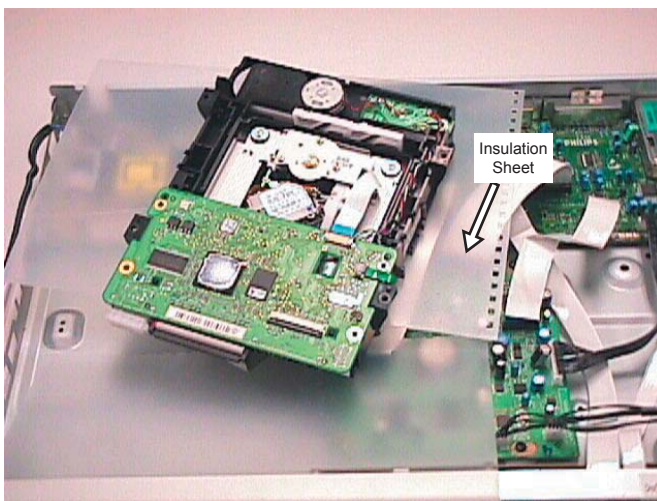


Figura 4-4: Posição de Serviço do Motor Básico

4.3 Desmontagem do Painel Frontal

- 1) Remova os parafusos como indicado para soltar o prato frontal do carregador 182 do chassis 0920 como mostra a Figura 4-5 e também a segurança do painel Frontal.

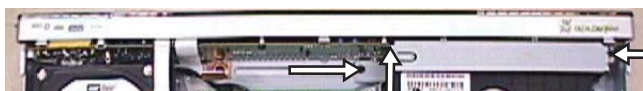


Figura 4-5: Solte o Painel Frontal

- 2) Posição de Serviço do Painel Frontal como mostra a Fig. 4-6.

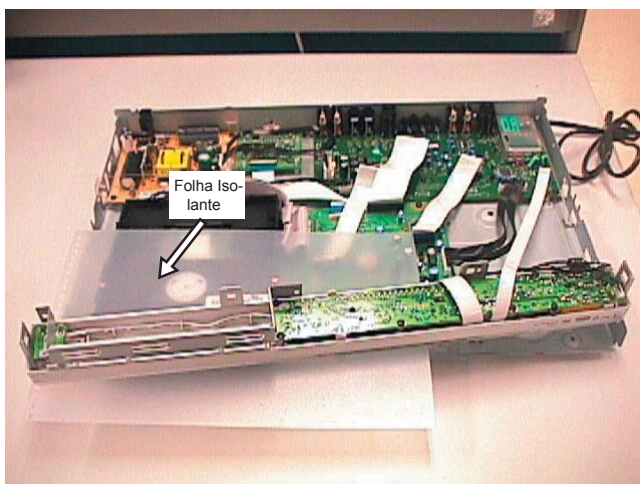


Figura 4-6: Posição de Serviço Painel Frontal

Nota: Quanto a traseira do Painel Frontal, por favor lembre-se do parafuso terra conectado do Painel para o chassis distribuir o ESD como mostra a Figura 4-7.



Figura 4-7: Painel Frontal terra para Chassis terra

4.4 Desmontagem do Painel Digital

- 1) Remova os 4 parafusos para soltar o painel Digital 1013 como mostra a Figura 4-8.



Figura 4-8: Remova o Painel Digital

- 2) Posição de Serviço é dado na Figura 4-9.

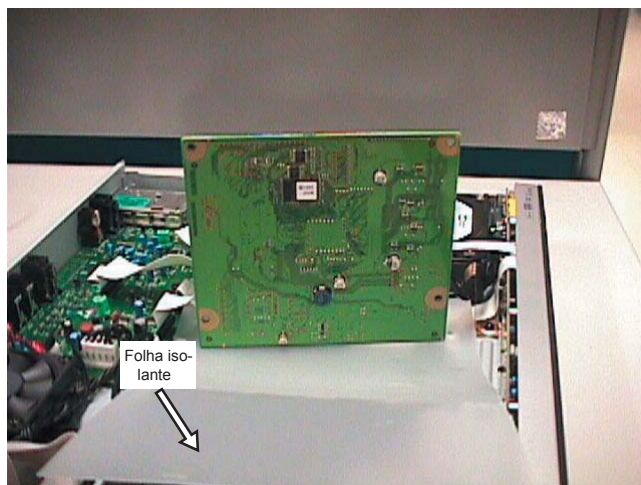


Figura 4-9: Painel Digital Posição de Serviço

4.5 Desmontagem do Painel Analógico

- 1) Remova os parafusos traseiro do painel 230 para soltar o Painel Analógico.
- 2) Posição de Serviço do Painel Analógico é dado na Figura 4-10.



Figura 4-10: Painel Analógico Posição de Serviço

4.6 Desmontagem do Painel PSU

- 1) Remova os 3 parafusos para soltar o Painel PSU 1002 como mostra a Figura 4-11.



Figura 4-11: Remova os parafusos do PSU

- 2) Posição de serviço para Painel PSU é dado na Figura 4-12.



Figura 4-12: Painel PSU Posição de Serviço

5. Atualizando Firmware & Software de Diagnóstico

5.1 Atualizando Firmware

A. Preparação para atualizar firmware

1. Unzip o arquivo zip.
2. Inicie o software da gravação do CD e crie um novo projeto CD (disco de dados) com as seguintes funções:
Sistema de arquivo: Joliet
Formato: MODE 2: CDROM XA
Modo de gravação: SEÇÃO SIMPLES (FAIXA ÚNICA), CD FINALIZADO

Nota: Um nome de arquivo longo é necessário para a preparação da atualização do disco.

3. Coloque o conteúdo do arquivo-zip dentro da raiz do diretório do novo projeto CD.
4. Grave os dados em um CDR ou CD-RW virgem.

B. Procedimento para aplicar atualização de firmware

1. Abra a bandeja e carregue a Atualização do CDROM.
2. A bandeja fecha e o aparelho mostrará:

"FLASH1"

3. O OSD mostrará:

"Software Upgrade Disc detected. Select OK to start upgrading or CANCEL to exit."

4. Clique na tecla <OK> .
5. O aparelho mostrará:

"Upgrading Software . Please Wait . Do not switch off the power . "

Fará a Atualização para o carregador e OSD mostrará.

"Loader Software Upgrade

Loader Software Upgrading . Please Wait .Do not switch off the power."

O processo inteiro leva mais ou menos 5 minutos.

Nota: Não pressione nenhuma tecla ou interrompa a alimentação durante o processo de atualização, pois o aparelho pode apresentar defeito

6. Quando a atualização estiver completa a bandeja abrirá automaticamente e o aparelho mostrará:

"Loader Upgrade process has completed successfully . Press <OK> to reboot system."

7. Com a bandeja aberta e o aparelho mostrará:

"DRV OK"

8. Pressione <OK> e o aparelho irá para standby.

***Nota : 1) O conteúdo do HDD(i.e. as gravações de vídeo os arquivos e/ou MP3 não serão apagados durante o processo de atualização do firmware.**

5.2 Preparando para novo HDD

Se os defeitos é devido a falhas no HDD, deve ser trocado oo aparelho com um novo HDD. O procedimento abaixo mostra os passo para preparar um novo HDD para usar no aparelho.

1. Troque o HDD defeituosos por um novo HDD.
2. Antes conecte o novo HDD no Painei Digital, o pino jumper do conector do HDD deve ser removido.
3. Conecte o novo HDD no Painei Digital.
4. Ligue o aparelho. Abrá a bandeja e rapidamente carregue o disco atualizado. (o disco atualizado é o mesmo disco acima com firmware atualizado).
5. O aparelho mostra.

“Load”.

6. Coloque o disco atualizado e feche a bandeja, o aparelho mostrará

“Copy” “Boot”

7. O resto do procedimento segue a atualização do software dado no 1B -Procedimento para aplicar atualização do firmware.

***Nota :1) Não pressione nenhuma tecla ou interrompa a alimentação, senão o aparelho pode apresentar defeito.
2) Quando a formatação do HDD terminar com sucesso, o aparelho irá para o modo standby.**

5.3 Verificação do Firmware

Como sair da leitura da versão firmware para confirmar a atualização:

1. Ligue o aparelho
2. Pressione <setup> <3> <2> <1> na sequência correta.
3. Pressione a tecla <select>
4. O TV conectado mostrará:

```
BUILD :B5019V04/Date:May 10 2006
Loader Version : 45.04.05.04
Macrovision Version :
MPEG Chip ID:
Audio DAC:
Region Num:1
Developer:Philips PS3455H 55 R19.04
YesDVD Version :YR.2.1.2.30306
```

5. Pressione a tecla <Setup> para sair.

DIAGRAMA EM BLOCO

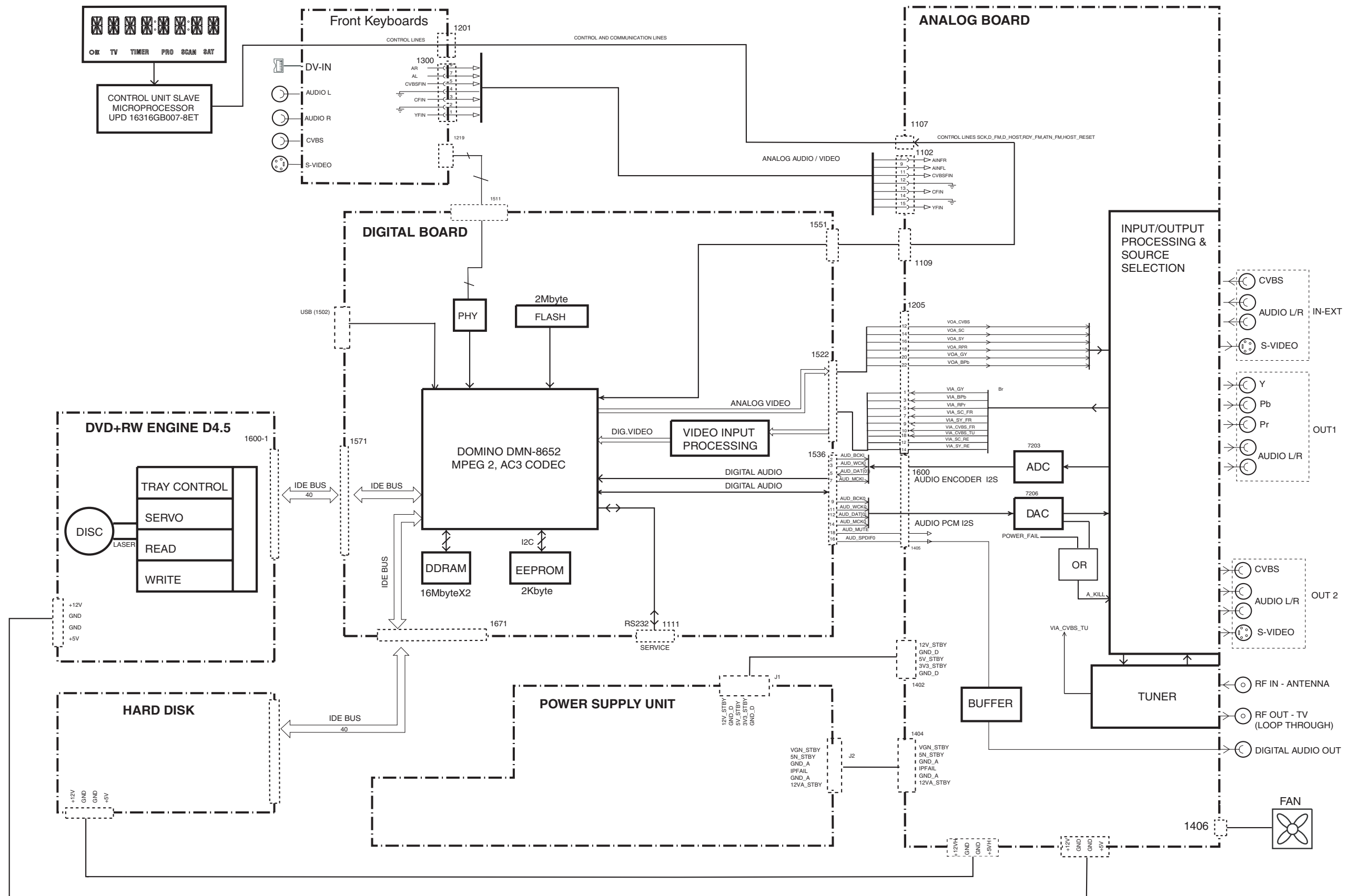
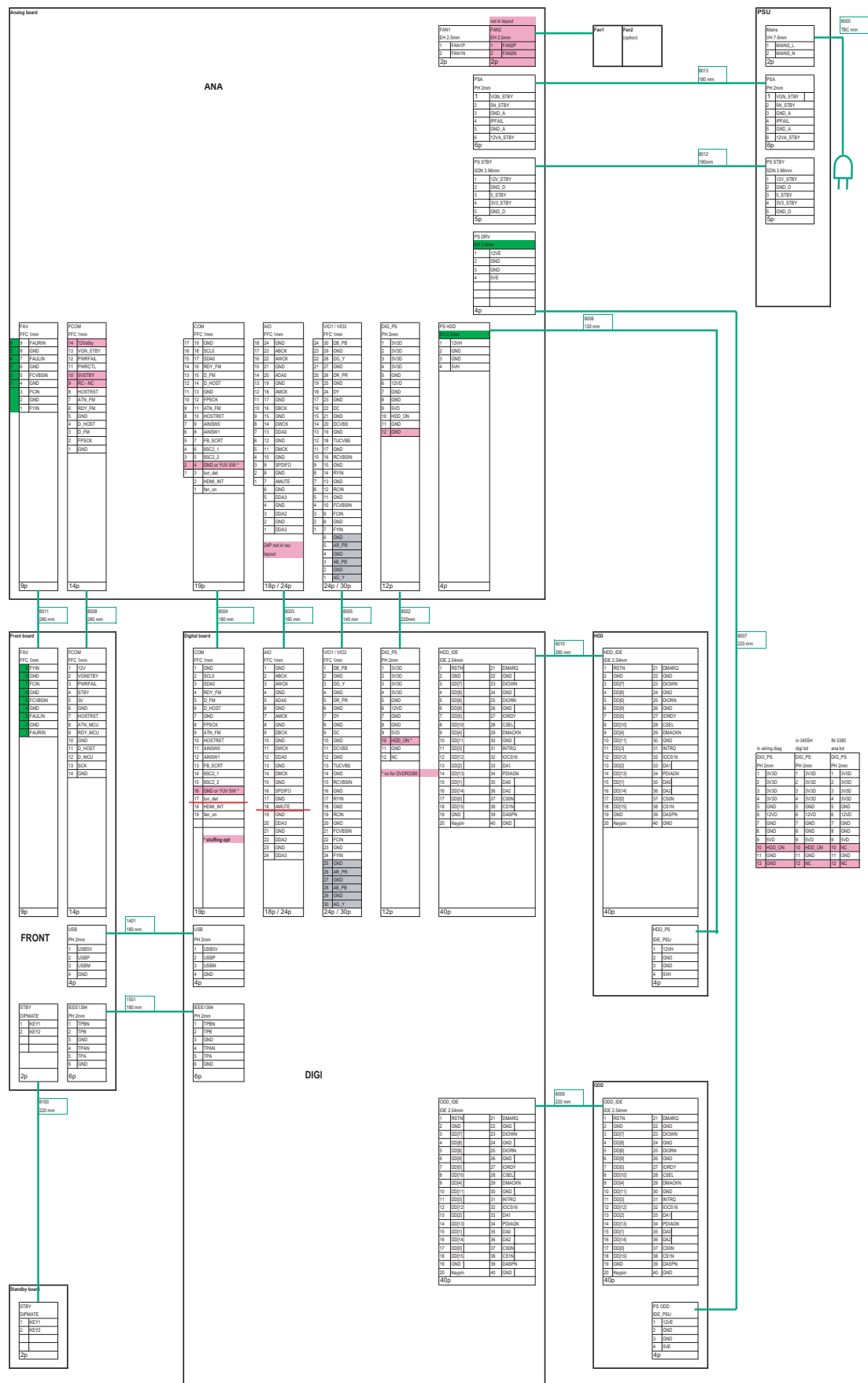
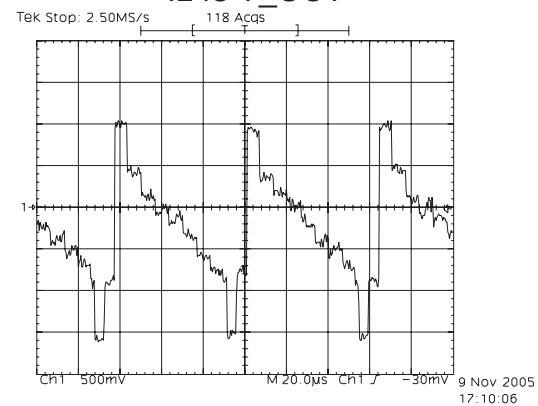


DIAGRAMA DE CONEXÕES

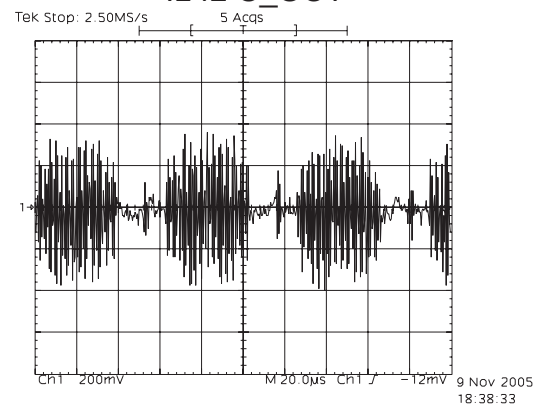


PAINEL ANALÓGICO - FORMAS DE ONDAS

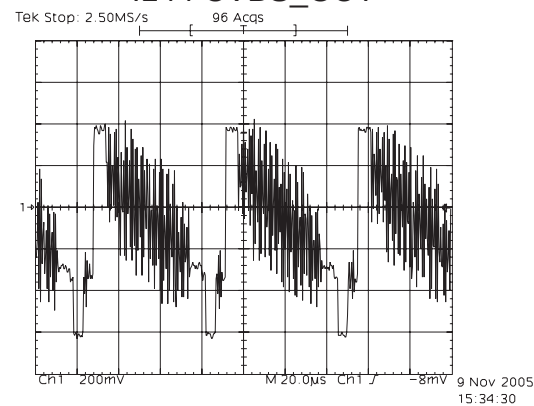
I143 Y_OUT



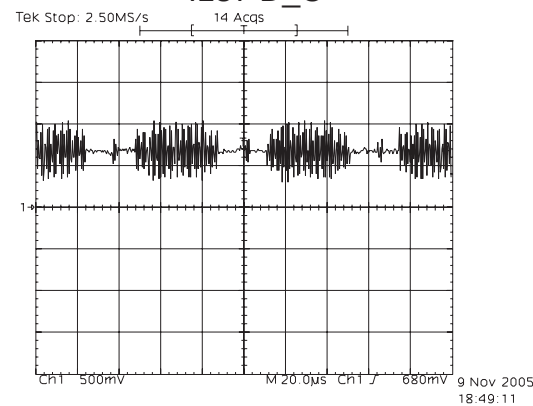
I142 C_OUT



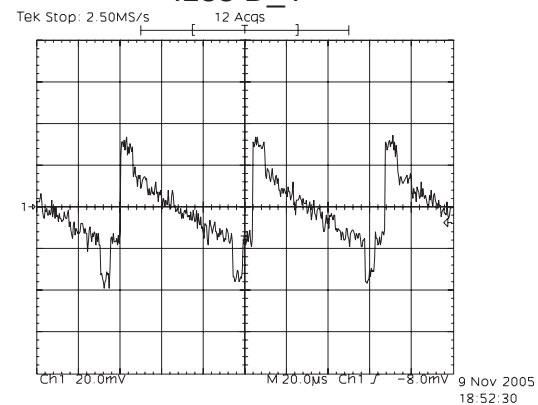
I144 CVBS_OUT



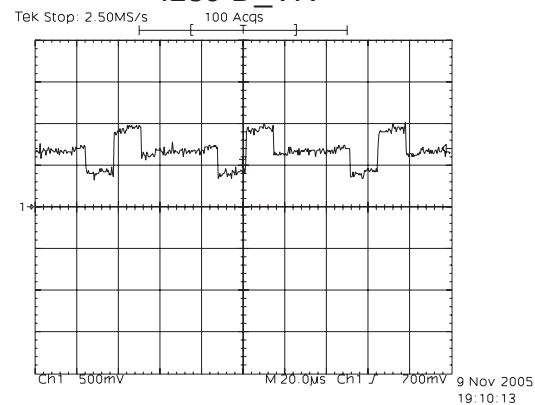
I137 D_C



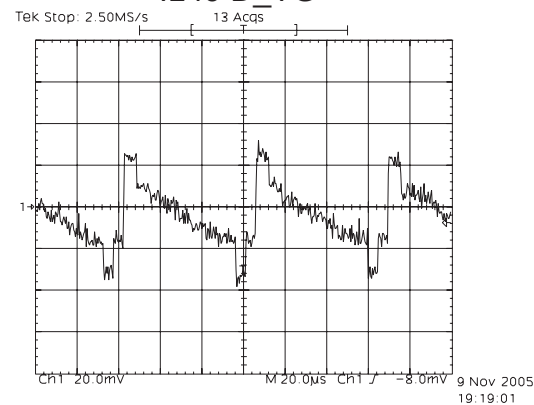
I138 D_Y



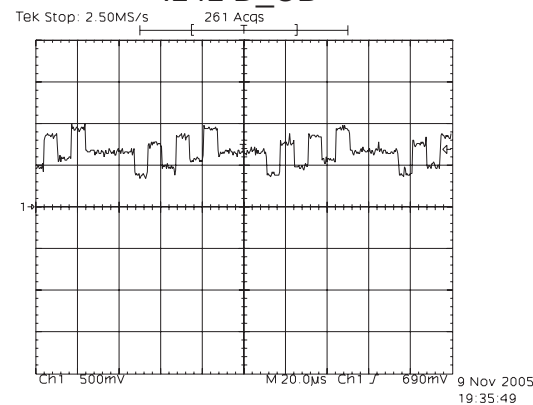
I139 D_VR



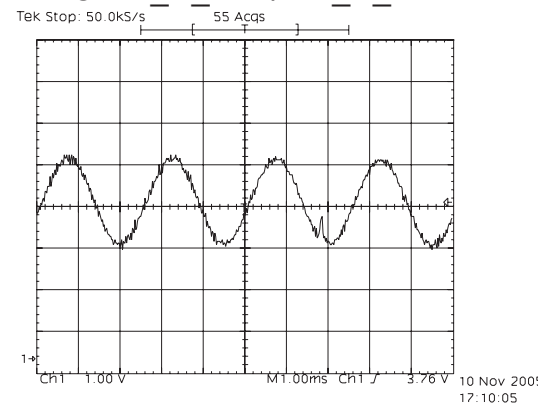
I140 D_YG



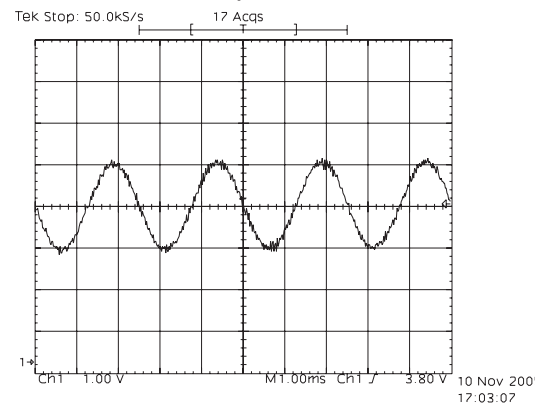
I141 D_UB



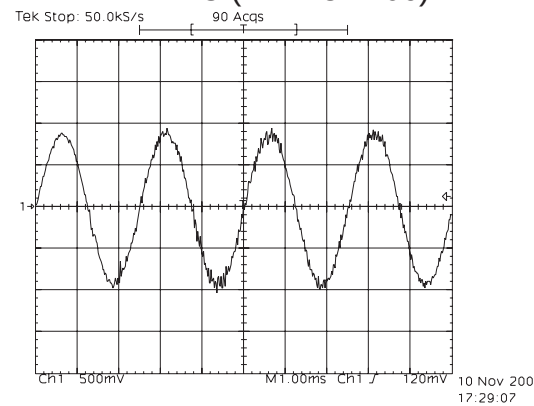
I213 AIA_R_RE1/AIA_R_RE2



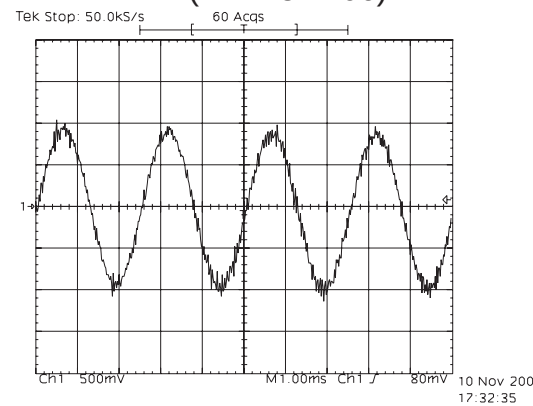
I212/I214



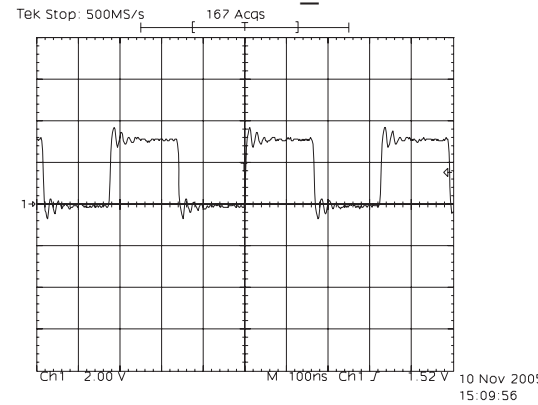
I241 ALDAC (PIN 18 7206)



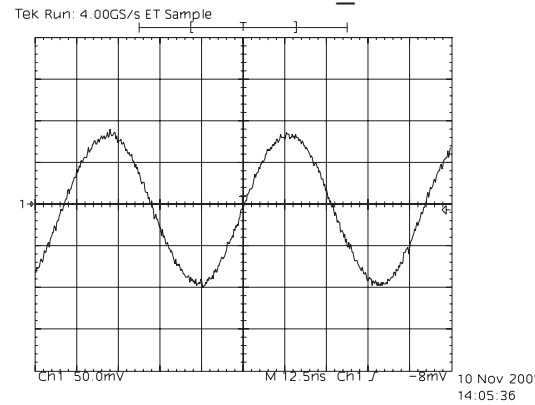
I242 (PIN 15 7206)



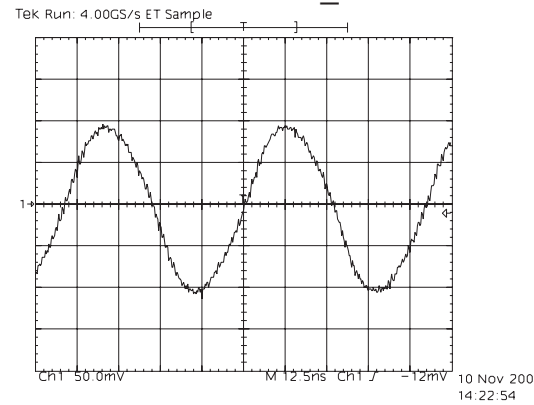
I150 DIGITAL_OUT



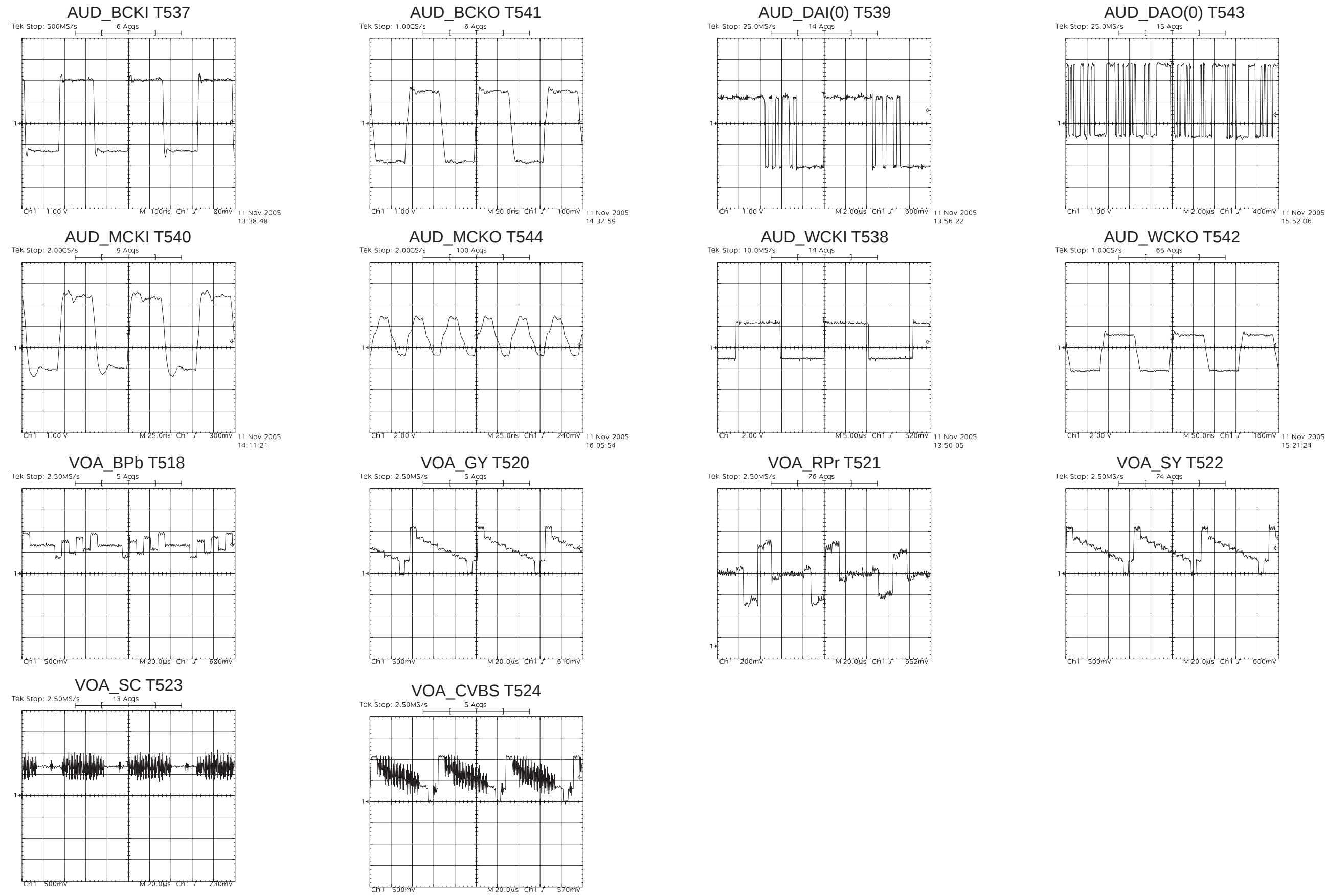
7304MSP XTAL_IN



7304MSP XTAL_OUT

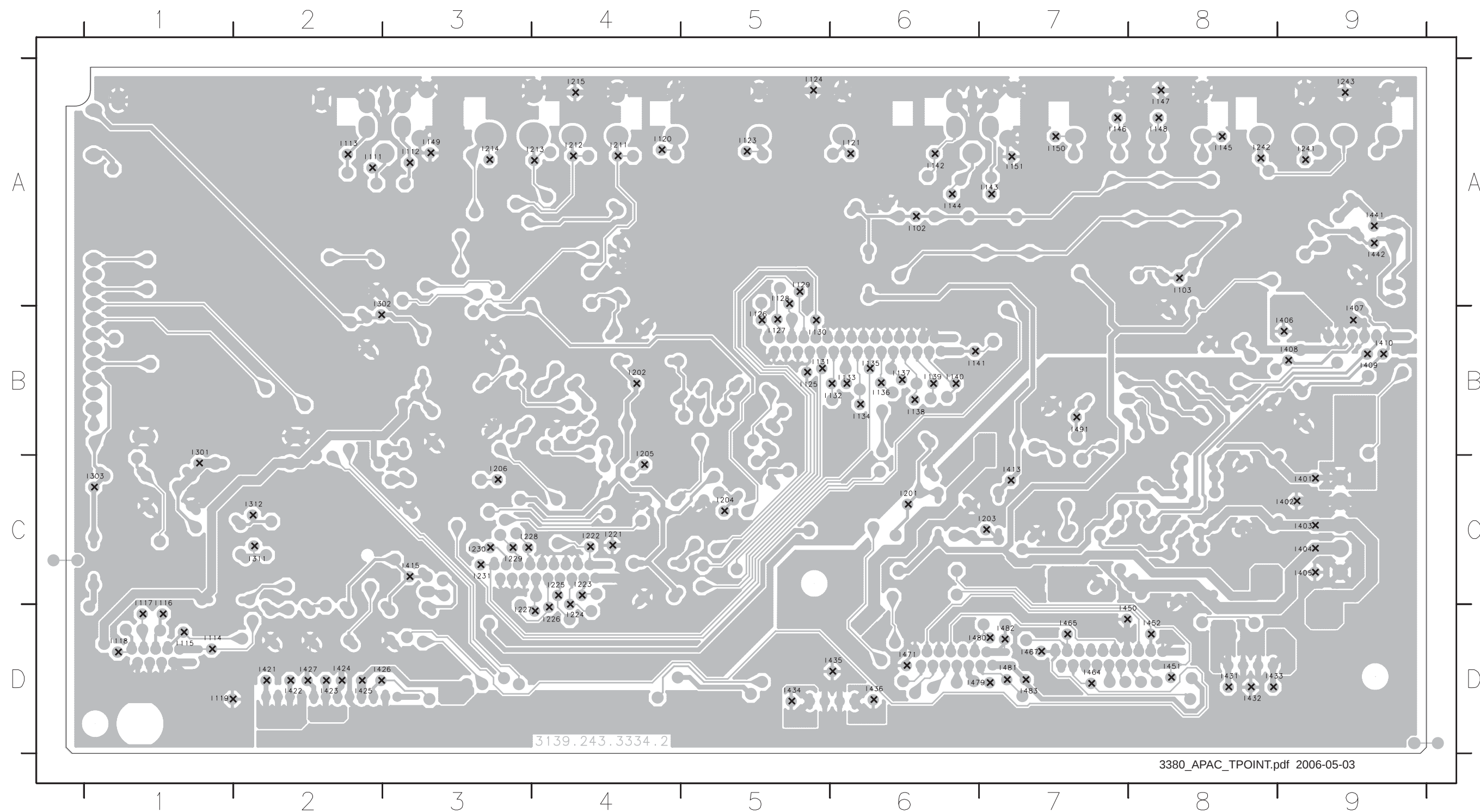


PAINEL DIGITAL - FORMAS DE ONDAS

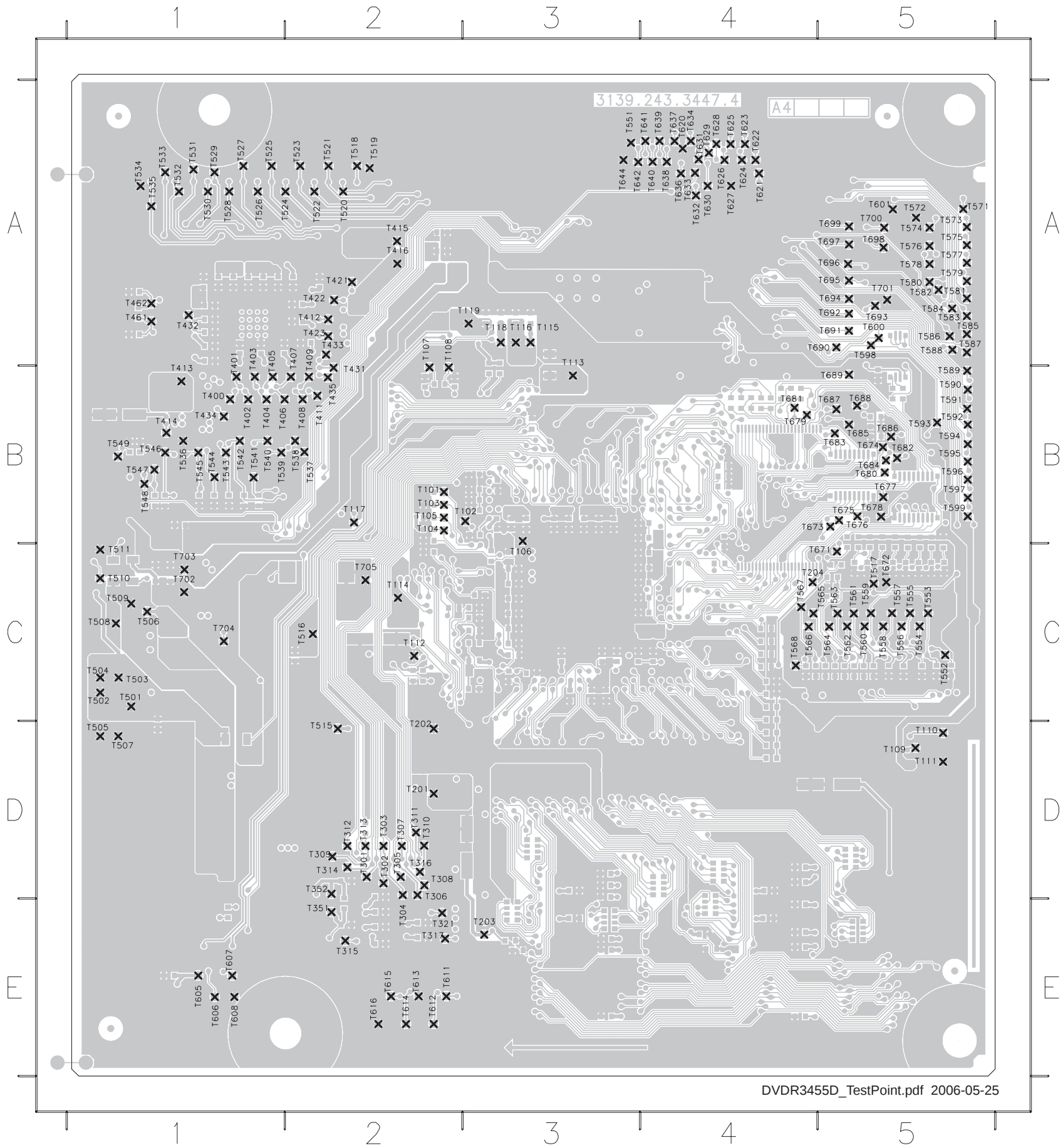


PAINEL ANALÓGICO- LAYOUT

102	A6	16	C	124	A5	131	B	138	B	145	A8	201	C6	212	A4	224	C4	231	C3	311	C2	406	B	421	D2	431	D	442	A9	471	D6
103	A6	17	C	125	A5	132	B	139	B	146	A7	202	B4	213	A4	225	C4	232	C3	312	C2	407	B	422	D2	432	D	443	A9	472	D6
103	A2	18	D	126	B	133	B	140	B	147	A8	203	C7	214	A4	226	C4	241	A9	312	C2	408	B	423	D2	433	D	444	A9	473	D6
111	A3	19	D	127	B	134	B	141	B	148	A8	204	C5	215	A4	227	C4	242	A8	312	C2	409	B	424	D2	434	D	445	A9	474	D6
112	A2	20	D	128	A5	135	B	142	A6	149	A3	205	B4	216	A4	228	C4	243	A9	401	C	410	B	425	D2	435	D	446	A9	475	D6
113	A3	21	D	129	A5	136	B	143	A7	150	A7	206	C3	217	C4	229	C4	301	C1	402	C	411	B	426	D2	436	D	447	A9	476	D6
114	D1	22	A	130	B	137	B	144	A6	151	A7	211	A4	218	C4	230	C3	302	B2	403	C	412	C	427	D2	437	A9	448	D7	477	B7
115	D1	23	A5											219	C4	231	C3	303	C1	404	C	413	C			449	A9	449	D7	478	B7
115	D1													220	C4	232	C3	303	C1	405	C	415	C					450	D7	479	B7

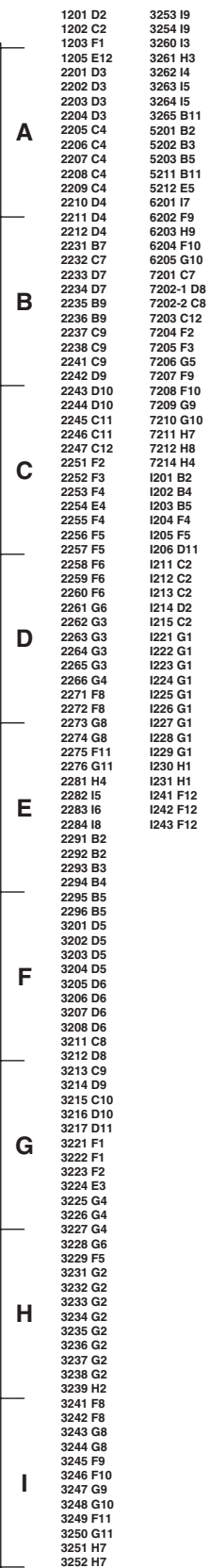


PAINEL DIGITAL- LAYOUT

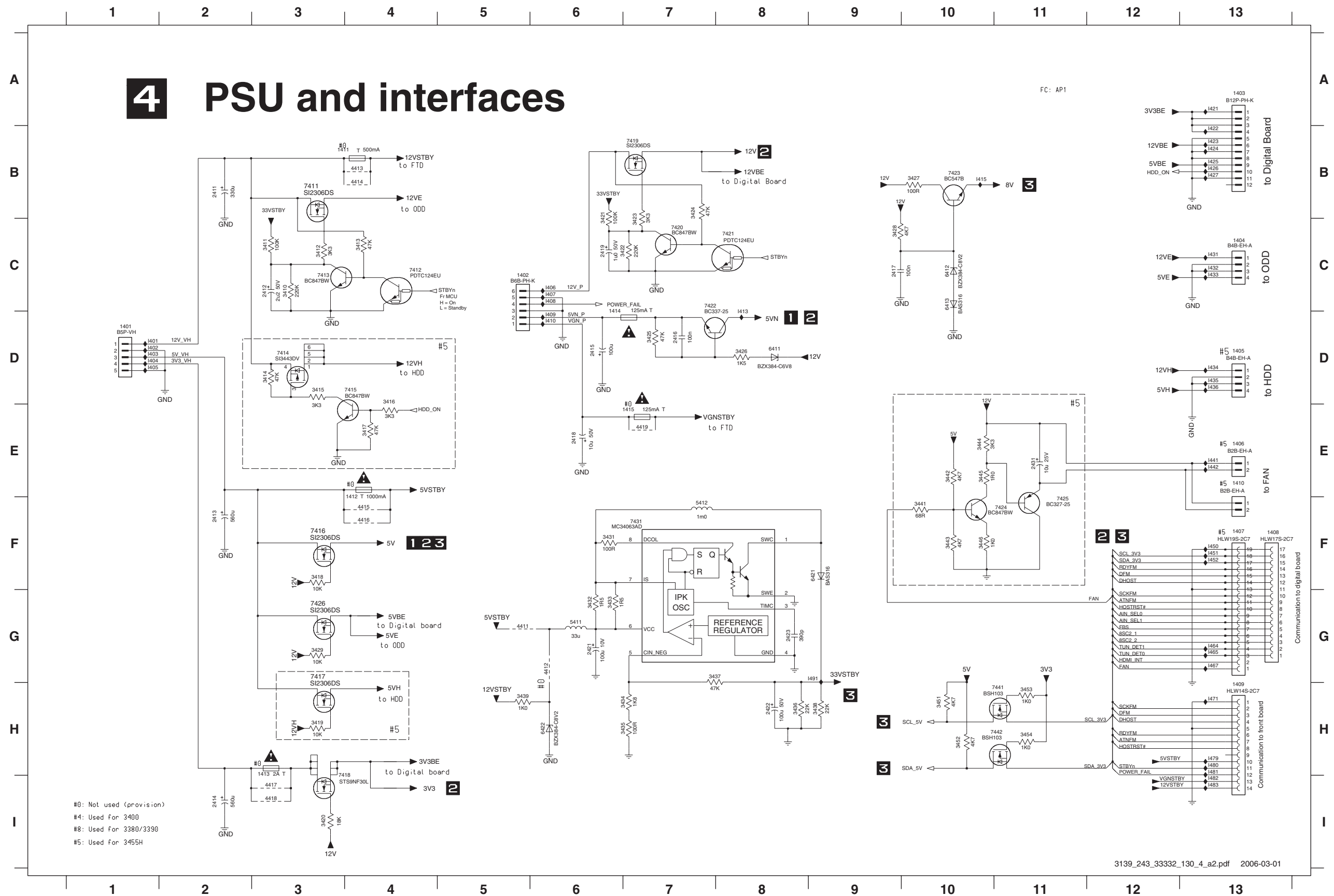


T571	T570	T569	T568	T567	T566	T565	T564	T563	T562	T561	T560	T559	T558	T557	T556	T555	T554	T553	T552	T551	T550	T549	T548	T547	T546	T545	T544	T543	T542	T541	T540	T539	T538	T537	T536	T535	T534	T533	T532	T531	T530	T529	T528	T527	T526	T525	T524	T523	T522	T521	T520	T519	T518	T517	T516	T515	T514	T513	T512	T511	T510	T509	T508	T507	T506	T505	T504	T503	T502	T501	T500	T499	T498	T497	T496	T495	T494	T493	T492	T491	T490	T489	T488	T487	T486	T485	T484	T483	T482	T481	T480	T479	T478	T477	T476	T475	T474	T473	T472	T471	T470	T469	T468	T467	T466	T465	T464	T463	T462	T461	T460	T459	T458	T457	T456	T455	T454	T453	T452	T451	T450	T449	T448	T447	T446	T445	T444	T443	T442	T441	T440	T439	T438	T437	T436	T435	T434	T433	T432	T431	T430	T429	T428	T427	T426	T425	T424	T423	T422	T421	T420	T419	T418	T417	T416	T415	T414	T413	T412	T411	T410	T409	T408	T407	T406	T405	T404	T403	T402	T401	T400	T399	T398	T397	T396	T395	T394	T393	T392	T391	T390	T389	T388	T387	T386	T385	T384	T383	T382	T381	T380	T379	T378	T377	T376	T375	T374	T373	T372	T371	T370	T369	T368	T367	T366	T365	T364	T363	T362	T361	T360	T359	T358	T357	T356	T355	T354	T353	T352	T351	T350	T349	T348	T347	T346	T345	T344	T343	T342	T341	T340	T339	T338	T337	T336	T335	T334	T333	T332	T331	T330	T329	T328	T327	T326	T325	T324	T323	T322	T321	T320	T319	T318	T317	T316	T315	T314	T313	T312	T311	T310	T309	T308	T307	T306	T305	T304	T303	T302	T301	T300	T299	T298	T297	T296	T295	T294	T293	T292	T291	T290	T289	T288	T287	T286	T285	T284	T283	T282	T281	T280	T279	T278	T277	T276	T275	T274	T273	T272	T271	T270	T269	T268	T267	T266	T265	T264	T263	T262	T261	T260	T259	T258	T257	T256	T255	T254	T253	T252	T251	T250	T249	T248	T247	T246	T245	T244	T243	T242	T241	T240	T239	T238	T237	T236	T235	T234	T233	T232	T231	T230	T229	T228	T227	T226	T225	T224	T223	T222	T221	T220	T219	T218	T217	T216	T215	T214	T213	T212	T211	T210	T209	T208	T207	T206	T205	T204	T203	T202	T201	T200	T199	T198	T197	T196	T195	T194	T193	T192	T191	T190	T189	T188	T187	T186	T185	T184	T183	T182	T181	T180	T179	T178	T177	T176	T175	T174	T173	T172	T171	T170	T169	T168	T167	T166	T165	T164	T163	T162	T161	T160	T159	T158	T157	T156	T155	T154	T153	T152	T151	T150	T149	T148	T147	T146	T145	T144	T143	T142	T141	T140	T139	T138	T137	T136	T135	T134	T133	T132	T131	T130	T129	T128	T127	T126	T125	T124	T123	T122	T121	T120	T119	T118	T117	T116	T115	T114	T113	T112	T111	T110	T109	T108	T107	T106	T105	T104	T103	T102	T101	T100	T99	T98	T97	T96	T95	T94	T93	T92	T91	T90	T89	T88	T87	T86	T85	T84	T83	T82	T81	T80	T79	T78	T77	T76	T75	T74	T73	T72	T71	T70	T69	T68	T67	T66	T65	T64	T63	T62	T61	T60	T59	T58	T57	T56	T55	T54	T53	T52	T51	T50	T49	T48	T47	T46	T45	T44	T43	T42	T41	T40	T39	T38	T37	T36	T35	T34	T33	T32	T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0
------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

2 Audio ADC / DAC

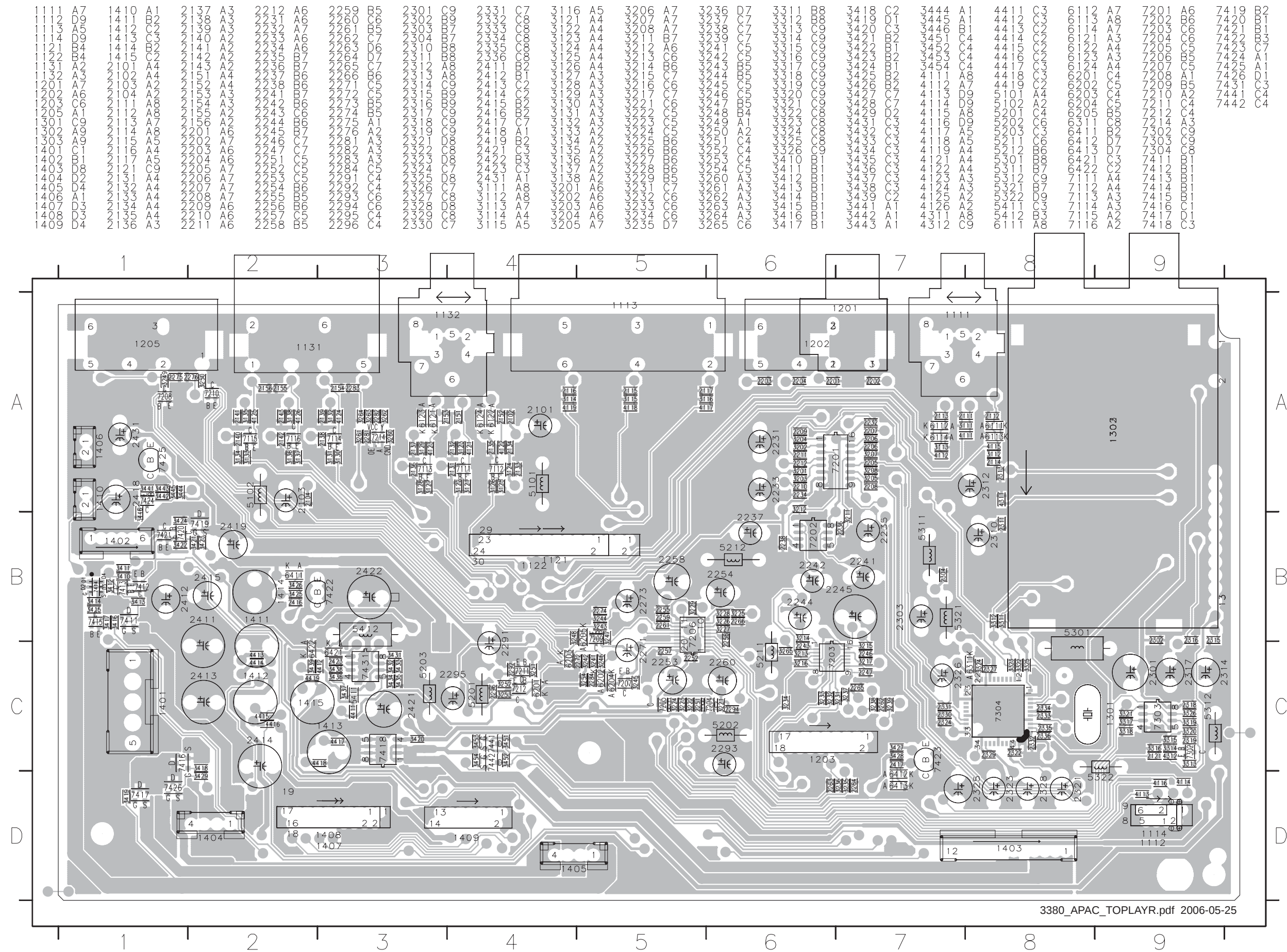


4 PSU and interfaces

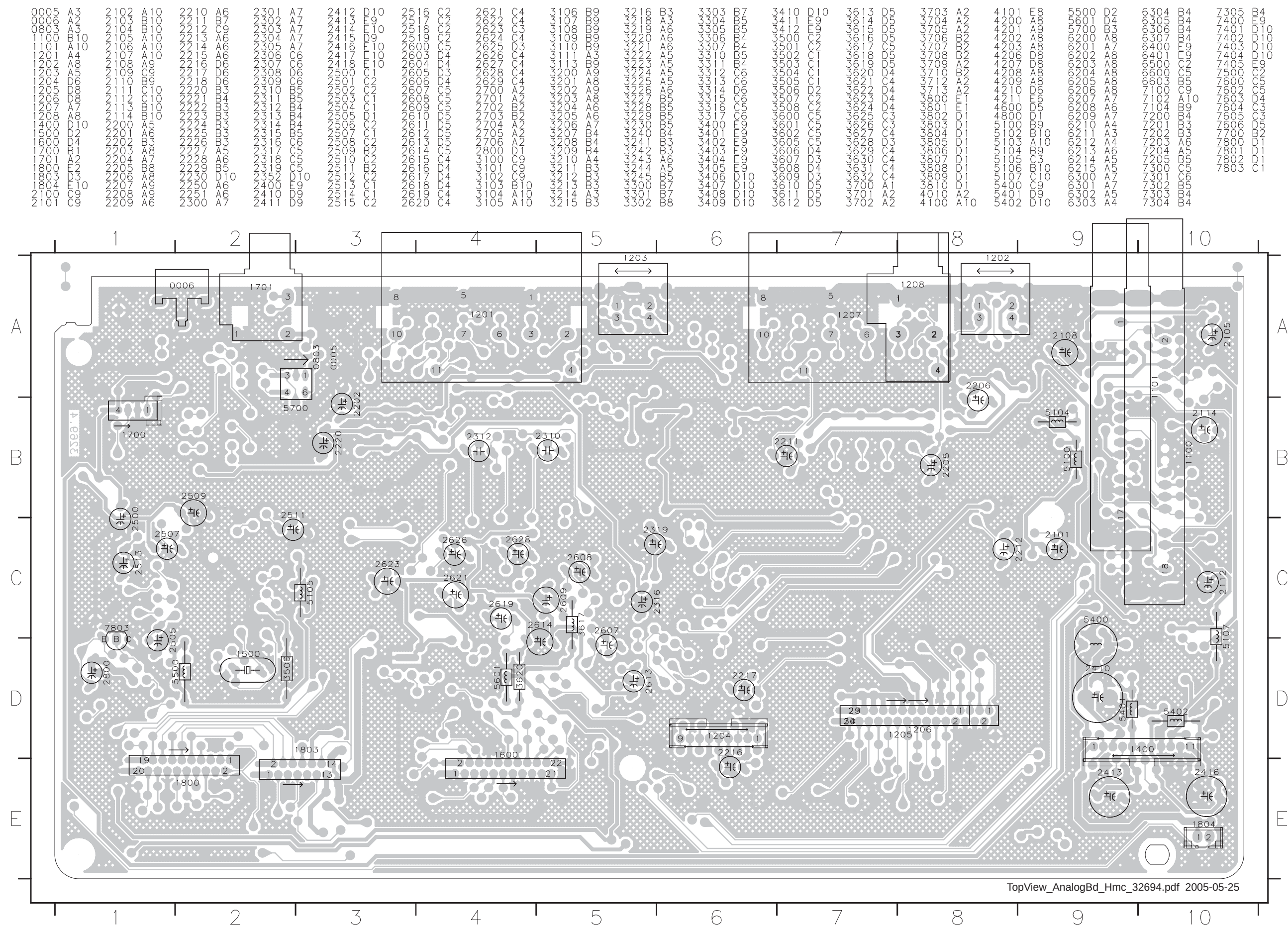


14007 D1	14008 C6
14002 C5	14009 D6
14003 A3	14010 D6
14004 C13	14011 D8
14005 D13	14015 B10
14006 E13	14021 A10
14007 F13	14022 B13
14008 F13	14023 B13
14009 H13	14024 B13
14010 E13	14025 B13
14011 A13	14026 B13
14012 E4	14027 B13
14013 H3	14031 C13
14014 C6	14032 C13
14015 E7	14033 C13
14011 B2	14034 D13
24012 C3	14035 D13
24013 F2	14036 D13
24014 E2	14041 E13
24015 B6	14042 E13
24016 D7	14050 F13
24017 C9	14051 F13
24018 E6	14052 F13
24019 C6	14064 G13
24021 G6	14065 G13
24022 H8	14067 G13
24023 G8	14071 H13
24031 E11	14079 H13
24032 E11	14080 H13
34011 C3	14081 H13
34012 C3	14082 H13
34013 C4	14083 H13
34014 D3	14091 G9
34015 D3	
34016 D4	
34017 E4	
34018 F3	
34019 H3	
34020 D9	
34021 B6	
34022 C7	
34023 C7	
34024 B7	
34025 D7	
34026 D8	
34027 B10	
34028 C9	
34029 D3	
34031 F6	
34032 G6	
34033 G6	
34034 H7	
34035 H7	
34036 H8	
34037 G7	
34038 H9	
34039 H5	
34040 D10	
34042 E10	
34043 F10	
34044 E10	
34045 E10	
34046 F10	
34051 H10	
34052 H10	
34053 H11	
34054 H11	
44011 G5	
44012 G6	
44013 B4	
44014 B4	
44015 F4	
44016 F4	
44017 I3	
44018 I3	
44019 E7	
54011 G6	
54012 F7	
64011 D8	
64012 C10	
64013 C10	
64021 F9	
64022 H6	
74011 B3	
74012 C4	
74013 C3	
74014 D3	
74015 D4	
74016 F3	
74017 G3	
74018 I3	
74019 B7	
74020 C7	
74021 C8	
74022 C7	
74023 B10	
74024 F11	
74025 E11	
74026 G3	
74031 F7	
74041 H10	
74042 H10	
14001 D1	
14001 D1	
14001 D1	
14001 D1	
14006 C6	
14007 C6	

PAINEL ANALÓGICO - LAYOUT - PARTE PRINCIPAL (VISTA SUPERIOR)

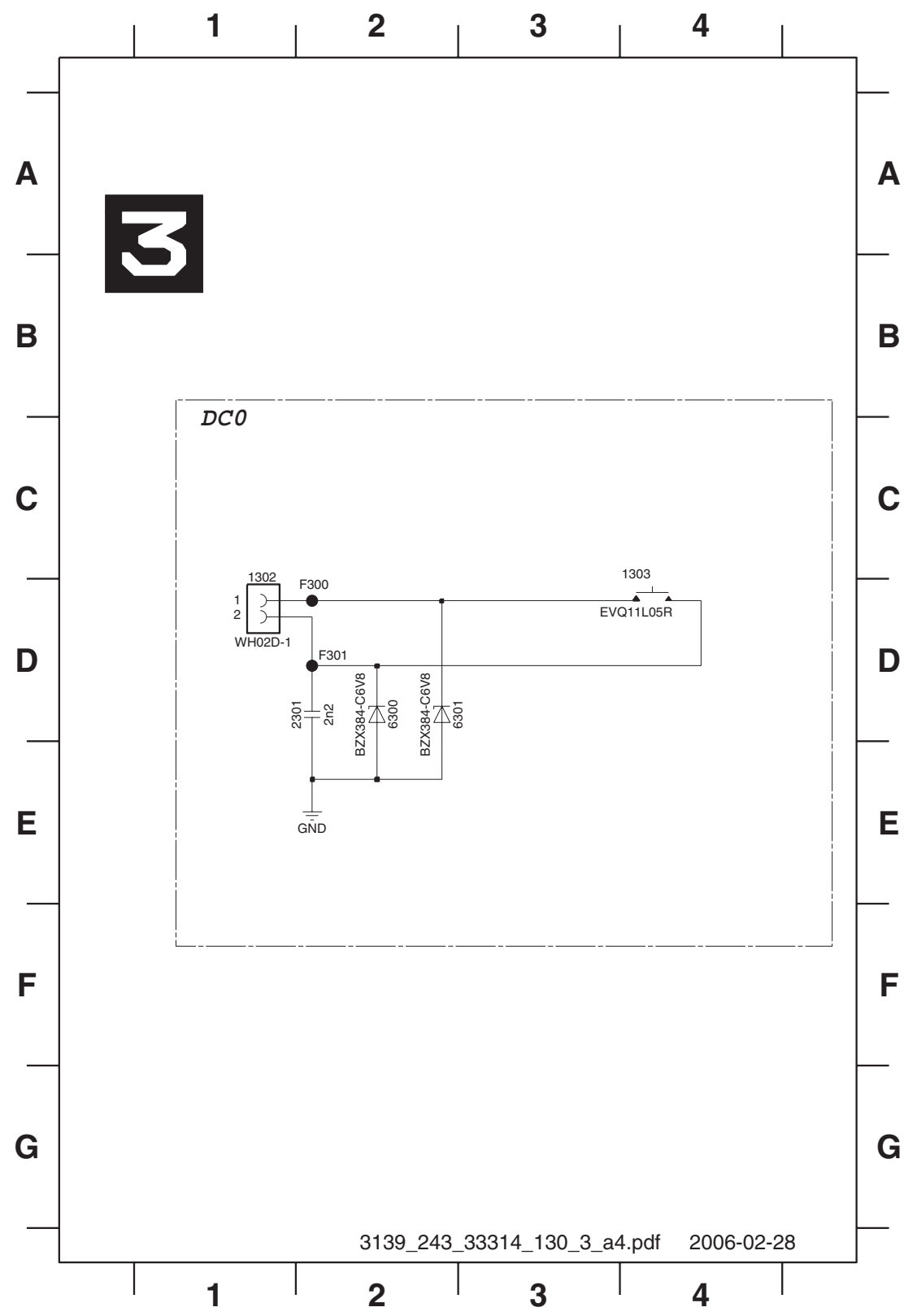


PAINEL ANALÓGICO- LAYOUT -PARTE PRINCIPAL (VISTA INFERIOR)



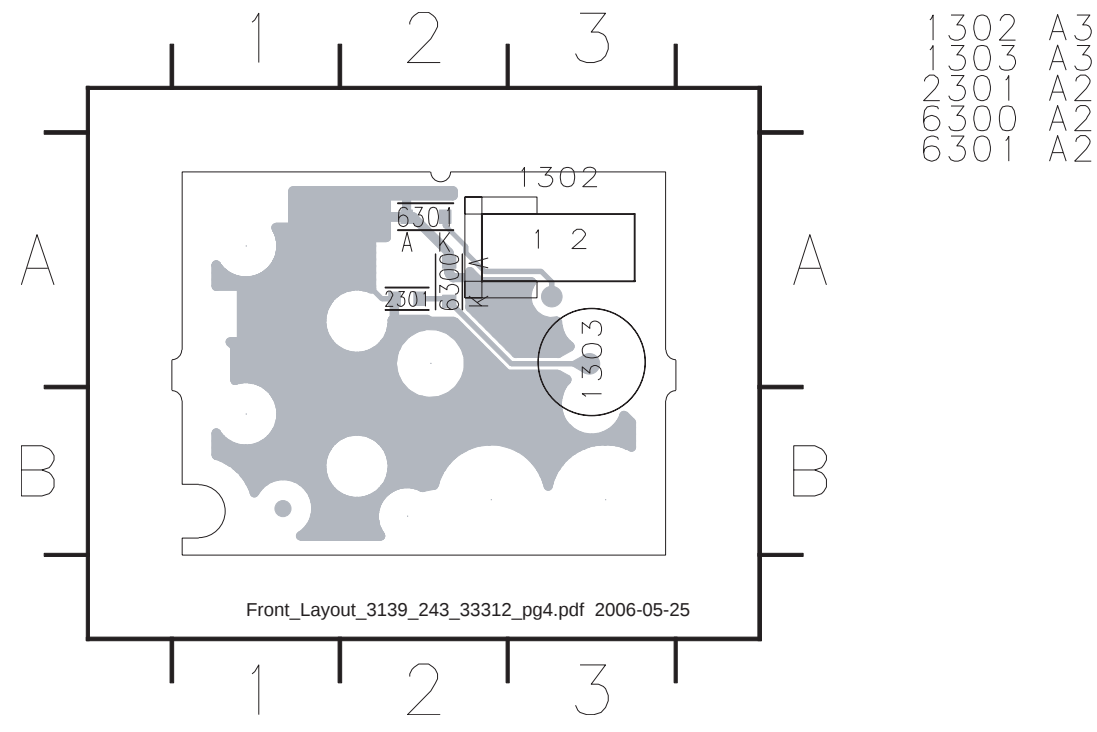
[illegible]

PAINEL FRONTAL - STANDBY

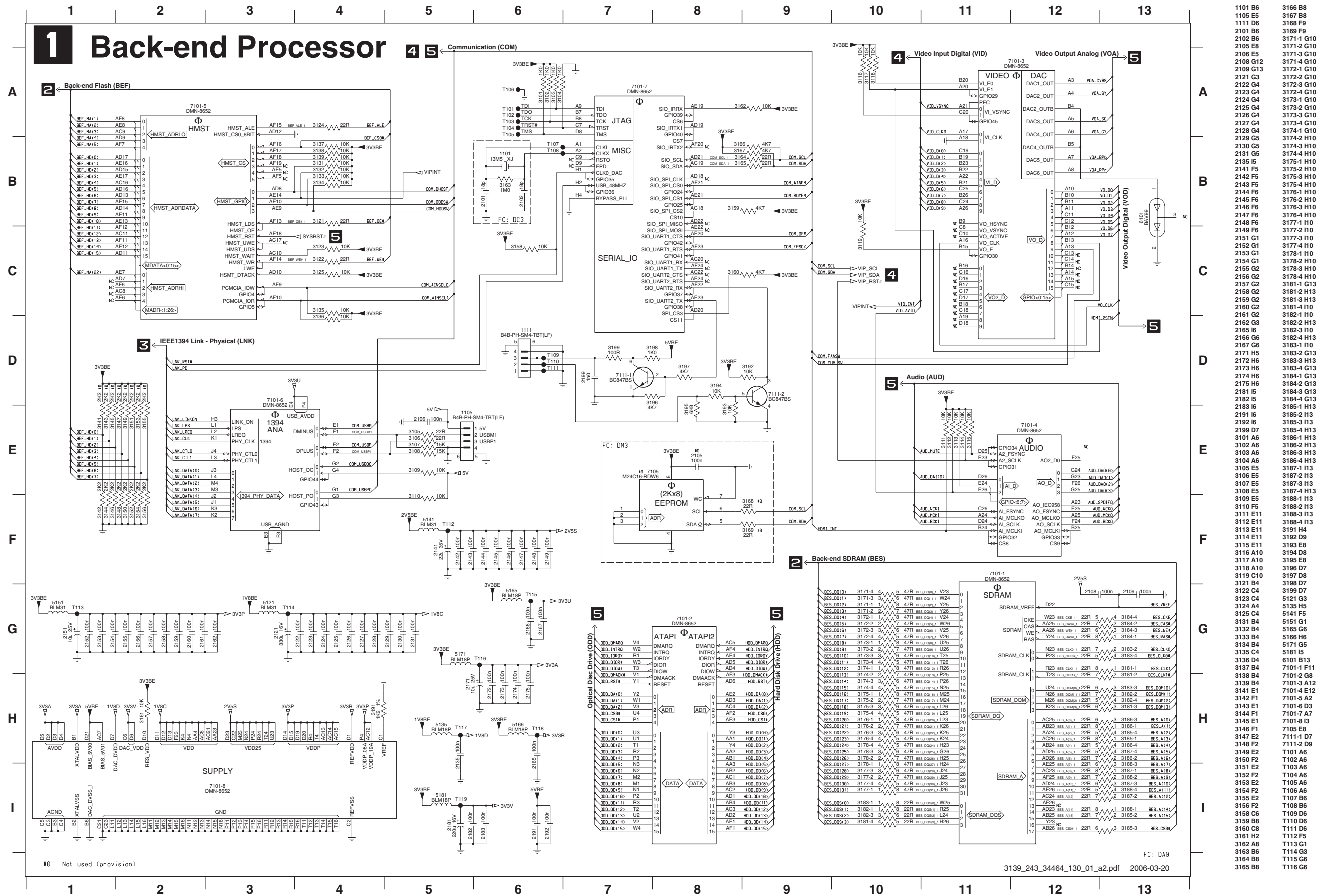


- 1302 C1
- 1303 C4
- 2301 D2
- 6300 D2
- 6301 D2
- F300 D2
- F301 D2
- I300 D3

PAINEL FRONTAL - STANDBY - LAYOUT SUPERIOR



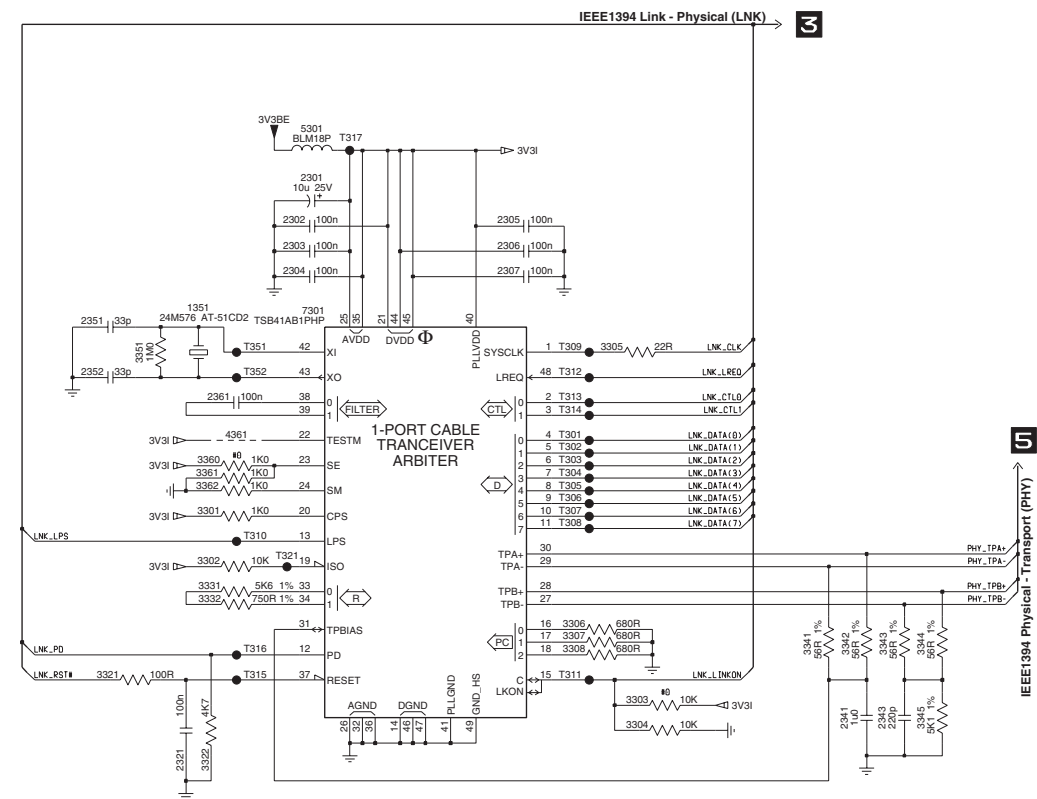
PAINEL DIGITAL- PROCESSADOR TRASEIRO



[illegible]

2201 D1	3259-3 C11
2202 D1	3259-4 C11
2203 D3	3261-1 C11
2204 D3	3261-2 C11
2205 D2	3261-3 C11
2211 A4	3261-4 C11
2212 B4	3263-1 C11
2213 B4	3263-2 C11
2214 B4	3263-3 C11
2215 A6	3263-4 C11
2216 B6	3265-1 D11
2217 B6	3265-2 D11
2218 B6	3265-3 D11
2219 B6	3265-4 D11
2220 D3	3267-1 D11
2221 D3	3267-2 D11
2231 A8	3267-3 D11
2232 B8	3267-4 D11
2233 B8	3269-1 E11
2234 B8	3269-2 D11
2235 A9	3269-3 D11
2236 B9	3269-4 D11
2237 B9	3271-1 E11
2238 B9	3271-2 E11
2239 B9	3271-3 E11
2240 D7	3271-4 E11
2241 D7	3273-1 E11
2251 A12	3273-2 E11
2252 B12	3273-3 E11
2253 A12	3273-4 E11
2254 B12	3275-1 F11
2255 B12	3275-2 F11
2256 B12	3275-3 E11
2257 B12	3275-4 E11
2258 B12	3277-1 F11
2259 C12	3277-2 F11
2260 C12	3277-3 F11
2261 C12	3277-4 F11
2262 C12	3281-1 F11
2263 C12	3281-2 F11
2264 C12	3281-3 F11
2265 D12	3281-4 F11
2266 D12	3283 F11
2267 D12	3284 G11
2268 D12	3285 G11
2269 D12	3286 G11
2270 D12	3294 H8
2271 E12	3295 I6
2272 E12	3296 H8
2273 E12	4291 H6
2274 E12	4292 H6
2275 E12	4293 H6
2276 F12	4294 H8
2277 F12	5201 B1
2278 F12	5291 F2
2281 F12	7201 C1
2282 F12	7211 C5
2283 F12	7231 C9
2291 G12	7292 F3
2291 G2	7293 H3
2292 F4	7294 H7
2293 H4	T01 D3
2294 F7	T202 D3
3231-1 C6	T203 B2
3231-2 C6	T204 F2
3231-3 C6	
3233-1 C6	
3233-2 C6	
3233-3 C6	
3233-4 C6	
3235-1 C6	
3235-2 D6	
3235-3 D6	
3235-4 D6	
3237-1 D6	
3237-2 D6	
3237-3 D6	
3237-4 D6	
3239-1 C10	
3239-2 C10	
3239-3 C10	
3239-4 C10	
3241-1 C10	
3241-2 C10	
3241-3 C10	
3241-4 C10	
3243-1 C10	
3243-2 D10	
3243-3 D10	
3243-4 D10	
3245-1 D10	
3245-2 D10	
3245-3 D10	
3245-4 D10	
3251-1 A11	
3251-2 A11	
3251-3 A11	
3251-4 A11	
3253-1 B11	
3253-2 B11	
3253-3 B11	
3255-1 B11	
3255-2 B11	
3255-3 B11	
3255-4 B11	
3257-1 B11	
3257-2 B11	
3257-3 B11	
3257-4 B11	
3259-1 C11	
3259-2 C11	

3 IEEE1394 Physical Layer



FC: MEO

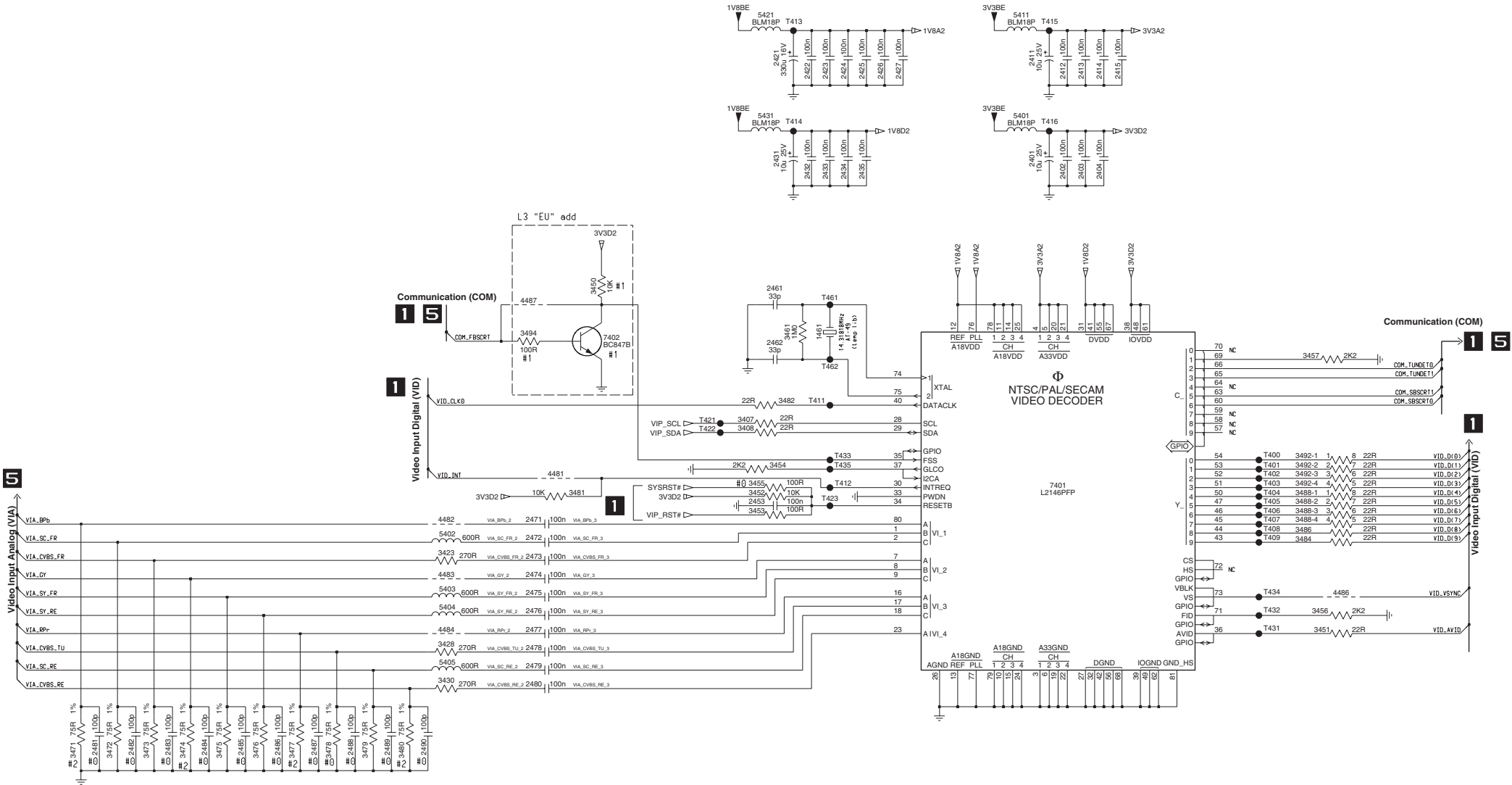
#0 Not used (provision)

3139_243_34464_130_03_a2.pdf 2006-03-20

3351 D5
2301 D6
2302 D6
2303 D6
2304 D6
2305 D7
2306 D7
2307 D7
2321 G5
2341 G9
2343 G9
2351 D5
2352 E5
2361 E5
3301 E5
3302 F5
3303 G8
3304 G8
3305 E8
3306 F7
3307 F7
3308 F7
3321 F5
3322 G5
3331 F5
3332 F5
3341 F9
3342 F9
3343 F9
3344 F9
3345 G9
3351 E5
3361 E5
3362 E5
4361 E5
5301 C6
7301 D6
T301 E7
T302 E7
T303 E7
T304 E7
T305 E7
T306 E7
T307 E7
T308 F7
T309 E7
T310 F6
T311 F7
T312 E7
T313 E7
T314 E7
T315 F6
T316 F6
T317 C6
T321 F6
T351 E6
T352 E6

PAINEL DIGITAL - PROCESSADOR DE ENTRADA DE VÍDEO

4 Video Input Processor

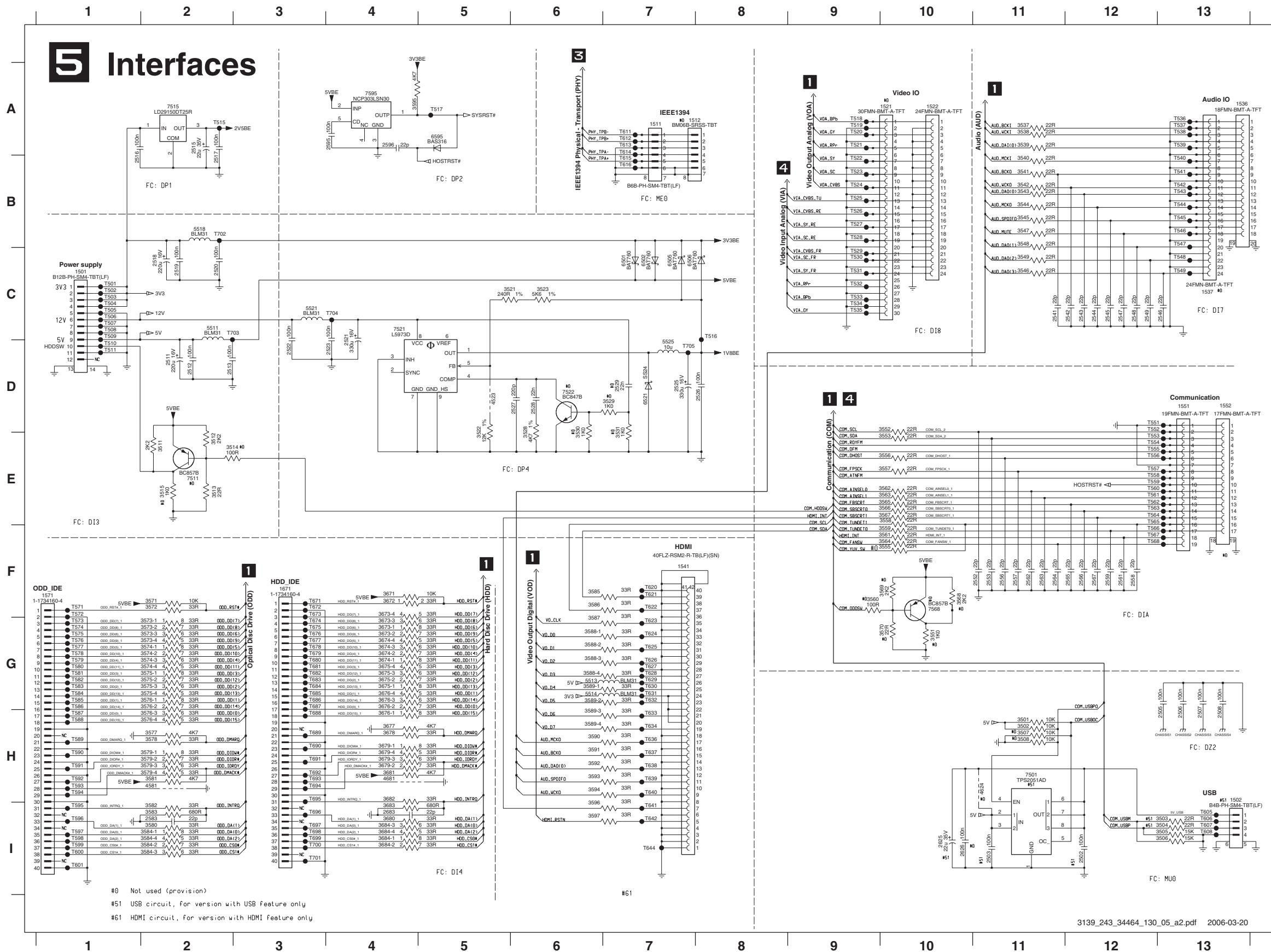


#0 Not used (provision)
#1 EU Version Used
#2 EU Version Use 4k7

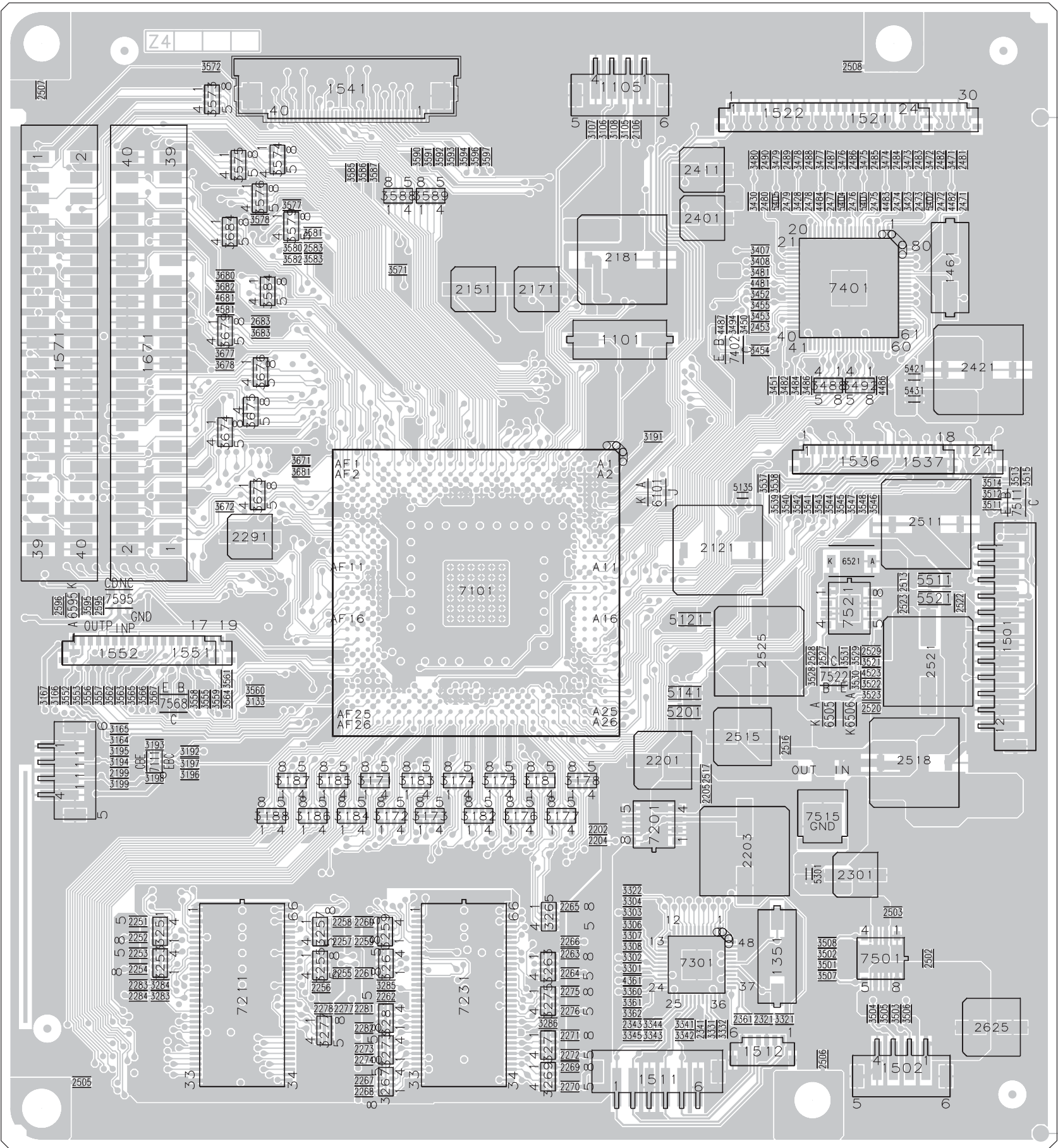
FC: D18

- 1461 D7
2401 C9
2402 C9
2403 C9
2404 C9
2411 B9
2412 B9
2413 B9
2414 B9
2415 B9
2421 B7
2422 B7
2423 B7
2424 B7
2425 B7
2426 B7
2427 B8
2431 C7
2432 C7
2433 C7
2434 C7
2435 C7
2453 F6
2461 D7
2462 D7
2471 F5
2472 F5
2473 F5
2474 F5
2475 F5
2476 F5
2477 G5
2478 G5
2479 G5
2480 G5
2481 G1
2482 G2
2483 G2
2484 G2
2485 G2
2486 G3
2487 G3
2488 G3
2489 G4
2490 G4
3407 E6
3408 E6
3423 F4
3428 G4
3430 G4
3450 D5
3451 G11
3452 F6
3453 F6
3454 E7
3455 E6
3456 F11
3457 D11
3461 D7
3471 H1
3472 H1
3473 H2
3474 H2
3475 H2
3476 H2
3477 H3
3478 H3
3479 H3
3480 H4
3481 F5
3482 E7
3484 F11
3486 F11
3488-1 F11
3488-2 F11
3488-3 F11
3488-4 F11
3492-1 E11
3492-2 E11
3492-3 E11
3492-4 E11
3494 D5
4481 E5
4482 F4
4483 F4
4484 G4
4486 F11
4487 D5
5401 C8
5402 F4
5403 F4
5404 F4
5405 G4
5411 B8
5421 B6
5431 C6
7401 E9
7402 D5
T400 E10
T401 E10
T402 E10
T403 E10
T404 F10
T405 F10
T406 F10
T407 F10
T408 F10
T409 F10
T411 E7
T412 E7
T413 B7
T414 C7
T415 B9
- T416 C9
T421 E6
T422 E6
T423 F7
T431 G10
T432 F10
T433 E7
T434 F10
T435 E7
T461 D7
T462 E7

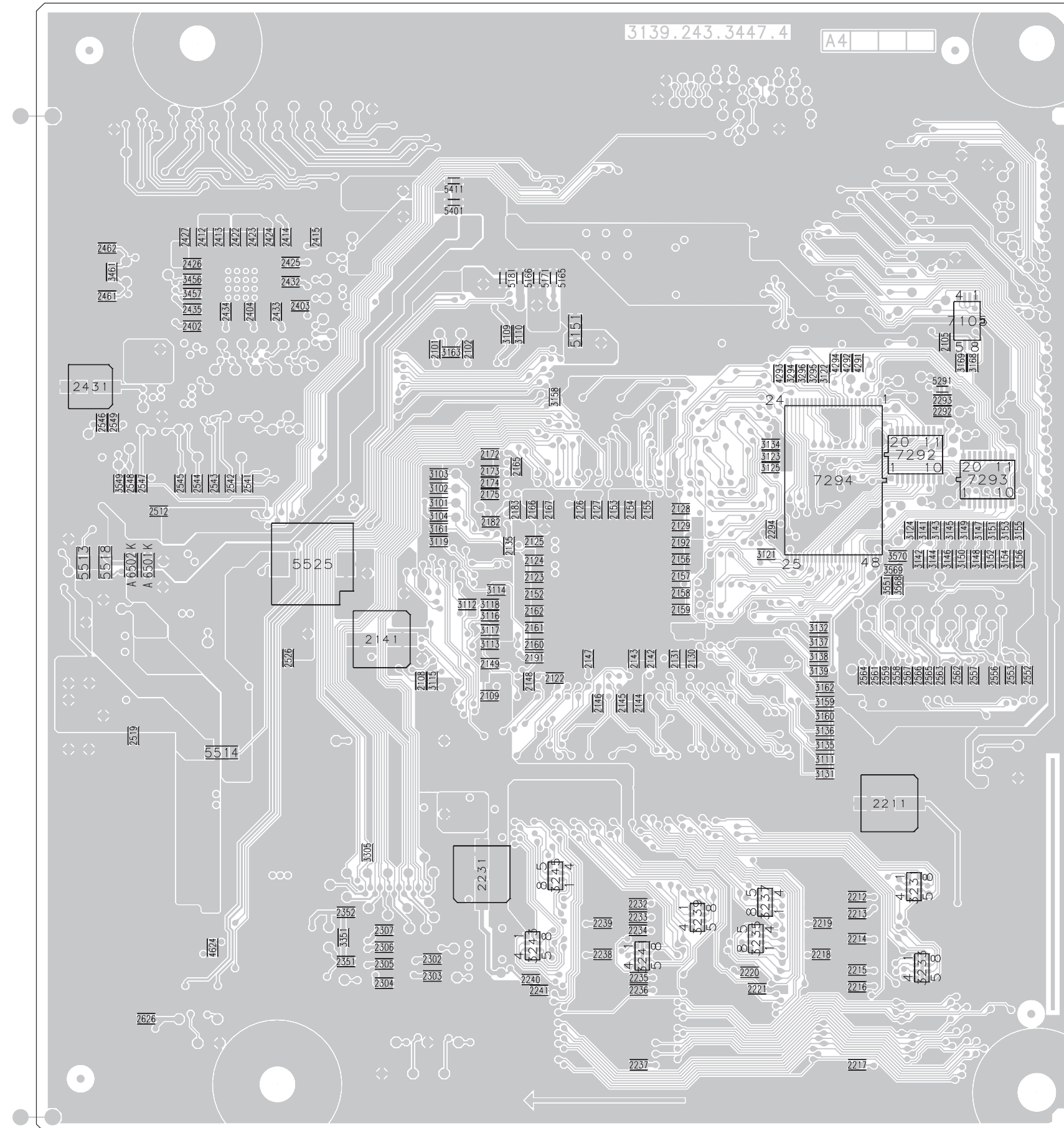
PAINEL DIGITAL INTERFACES



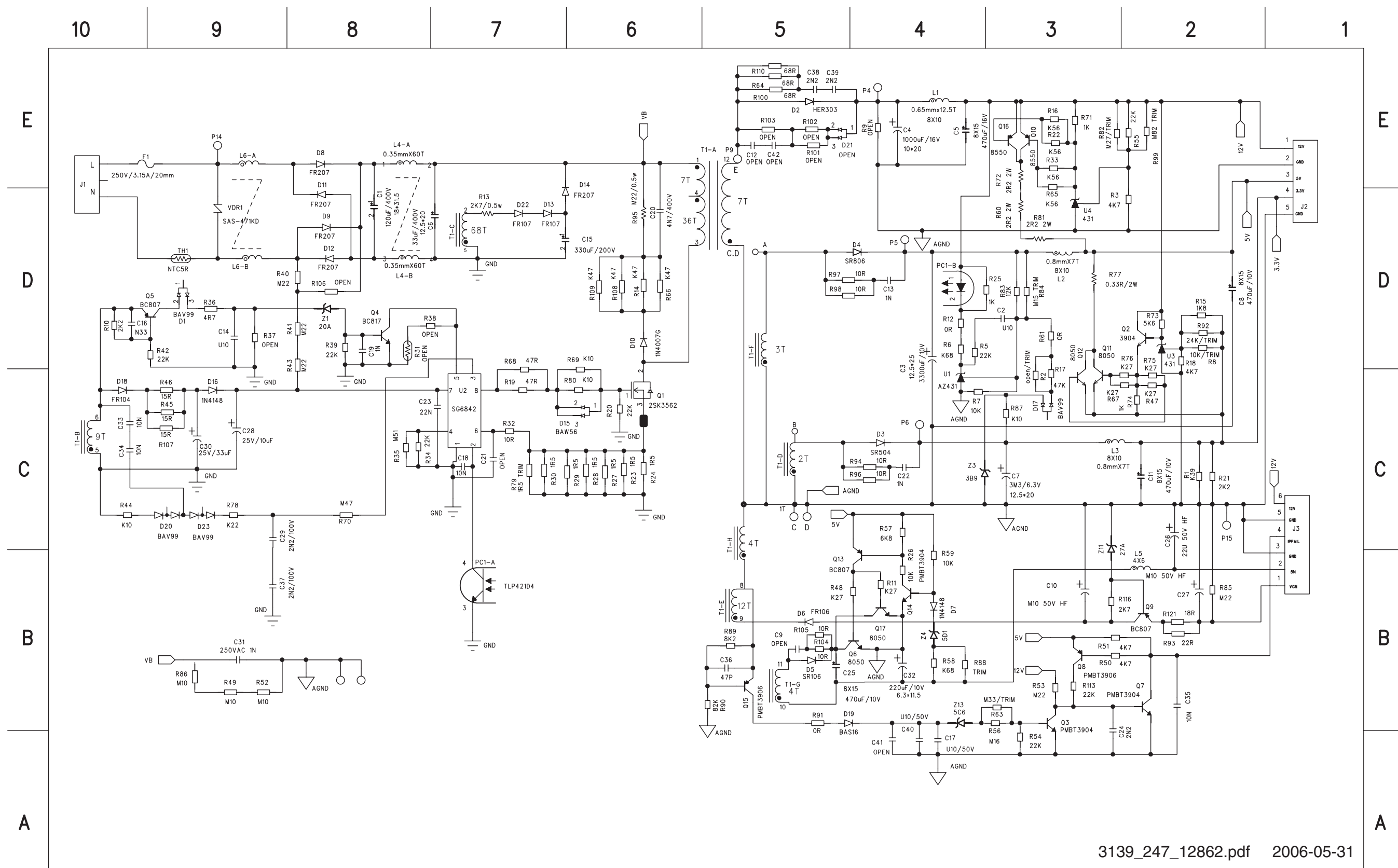
PAINEL DIGITAL - LAYOUT PARTE PRINCIPAL (SUPERIOR)



PAINEL DIGITAL- PARTE PRINCIPAL (INFERIOR)



UNIDADE FONTE DE ALIMENTAÇÃO - ESQUEMA ELÉTRICO



8. Circuito e Descrições de IC

8.1 Painei PSU

8.1.1 Geral

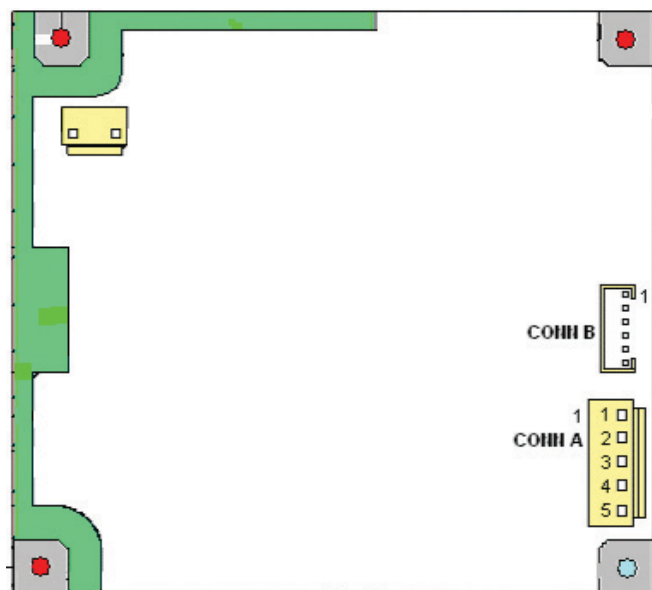


Figura 8-1 Layout do painel PSU

O painel PSU provém as seguintes conexões para o resto do aparelho:

- **Conector A:** Fonte/Sinal para o painel analógica con. 1401
- Serve como alimentação para o Painel Digital.

Pin no.	Supply / Signal	Remarks
1	12V	
2	GND	
3	5V	
4	3.3V	
5	GND	

- **Conector B:** Fonte/Sinal para Painel Analógico con. 1402
- Serve como 12VBE para o Painel Digital, **alimentado apenas** por acionamento das linhas Standby do transistor 7421 (Painel Analógico)

Pin no.	Supply / Signal	Remarks
1	VGN	
2	5N	
3	GND	
4	IP_FAIL	HIGH>4.0v = power good LOW<4.0v =power fail
5	GND	
6	12V	

△ O cabo elétrico deverá estar desconectado do aparelho antes da realização dos procedimentos mencionados abaixo:

A PSU é projetada com proteção de curto-circuito que irá desligar a fonte de alimentação. Quando isso acontecer, a tensão armazenada no capacitor C1 e C40 irá impedir que a fonte de alimentação ligue, consequentemente eles devem ser descarregados com uma chave de fenda com isolante de alta tensão, antes que a PSU funcione normalmente novamente.

Nota: Durante este processo de descarga dos capacitores, poderá ocorrer faíscas, o que é típico de alta tensão armazenada no capacitor C1 e C15.

8.2 PAINEL FRONTAL (PAINEL - DISPLAY + TECLADO)

8.2.1 Geral

O painel consiste das seguintes partes:

- Driver de Controle FIP
- Frontend (Áudio e Vídeo)
- VFD Gerador de tensão de aquecimento

8.2.2 Driver de Controle FIP (IC 7105: UPD16316GB)

O núcleo do Display Frontal + Teclado é o Driver de Controle FIP, isto liga uma fonte 5V e é responsável pelas seguintes funções:

- Interagir com o chip Domino no PAINEL Digital
- Avaliação da matriz teclado dentro do PAINEL Frontal
- Decodificar os comandos do controle remoto do receptor de infra vermelho
- Ativação e controle do display
- Ativação do Wake-Up Temporizador

Segue duas frequências de pulsos de disparo:

- 5MHz para operações normais
- 32.768KHz para tempo real no relógio

8.2.3 Interface com Domino chip

Este comunica-se com o Domino Host no painel digital via interface serial sincronizada 6-fios. O Host é sempre o mestre para gerar a comunicação clock com o Driver de Controle FIP sem se relacionar com a direção da transferência de dados.

8.2.4. Avaliação da matriz do teclado

A tecla matriz é usada no painel frontal. O slave μ P faz o escaneamento da tecla com FIP9 - FIP24 (pino 23-26 e 29-40) como saída e KEY_A-KEY_C (pino 41-43) como entrada. Cada tecla é atribuída a um código de tecla baseado nas portas de entrada e saída, e o Driver de Controle FIP irá avaliar pelo código da tecla.

8.2.5. Receptor IR e avaliação de sinal.

O receptor IR no painel frontal contém um amplificador seletivamente controlado assim como um fotodiodo. O fotodiodo transforma a recepção da transmissão de infra vermelho para pulsos elétricos, os quais são amplificados e demodulados. Na saída do receptor IR, uma sequência de pulso com o nível TTL, que corresponde a curva envelope do comando IF do controle remoto pode ser medido. Esta sequência de pulso é alimentada no Driver de Controle FIP para processos posteriores via pino 13.

8.2.6. Display Florescente a vácuo [1203: HUV-08SS65T]

O VFS é totalmente controlado e dirigido pelo Driver de Controle FIP.

8.2.7. VFD Gerador de tensão de aquecimento

O circuito oscilador fornecido pela [5100, 2101, 2102 & 7100] fornece o transistor do sinal da onda do seno [7101, 7102 & 7103] para gerar 50% duty-cycle 48KHz AC formas de ondas para o filamento do VFD.

8.2.8. Ativação do temporizador Wake-up

Durante o modo Standby, o Driver de Controle FIP fornece um serviço de despertador (POWER_CTL-linhas mudam para alto), então o Domino Host (no painel digital) inicia e pede pela razão do Wake-up.

8.3. PAINEL ANALÓGICO

8.3.1. Geral

A PCBA consiste das seguintes partes:

- Controle de ventilação
- Tuner frontend
- Áudio ADC/DAC

8.3.2. Tuner Frontend [1100 : TMQZ2]

O painel analógico suporta 2 possíveis unidades de Tuner Frontend chamadas:

- 1101 - PAL BG, DK e I Broadcast System
- 1100 - NTSC-M Broadcast System

Contém uma entrada RF para conexão com antena e saída RF que fornece um RF loop through para conexão com TV. O Frontend (Tuner e IF-demodulador) são controlados por 12C (SCL_5V- e SDA_5V-) linhas providas pelo Domino Host no painel digital.

O processamento de vídeo completo é feito nesta unidade e a saída de vídeo (CVBS) é feita do pino [VIDEO_OUT] via transistor pino 13 como CVBS_TV-line para o circuito de vídeo I/O. O componente de áudio-IF SIF1 são feitos do pino [SIF_OUT] pino 10 por demodulação pelo processador Multi-sound (MSP).

Demodulador de áudio

A demodulação de áudio é feita pelo MSP3425 [7304], que também é totalmente controlado via barramento 12C pelo Domino Host. Os sinais de áudio são disponíveis no pino 30 e pino 31 e alimentados como AIA_R_MSP & AIA_L_MSP line para o áudio I/O para processamentos posteriores.

8.3.3 Roteador de áudio

Audio IO

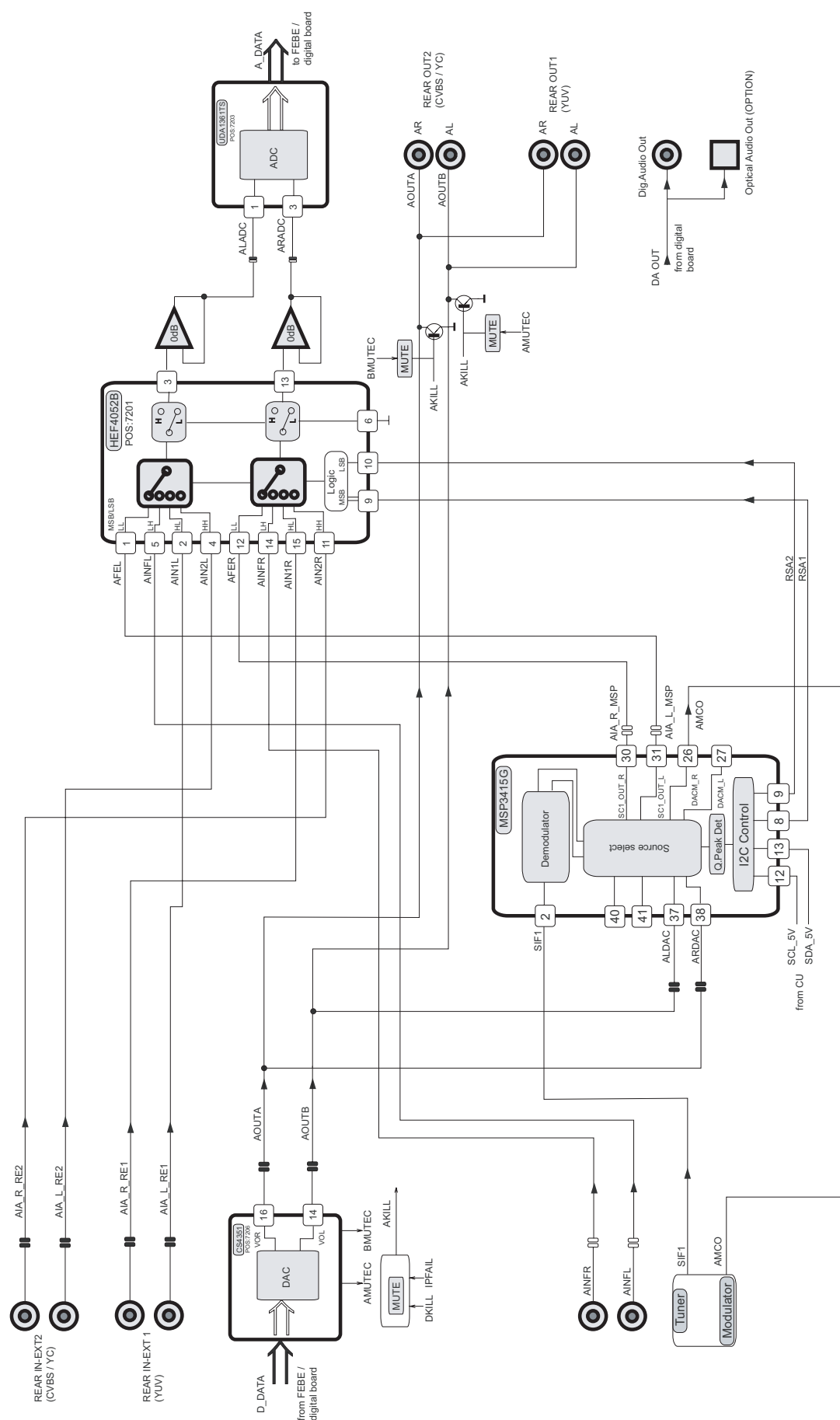


Figura 8- 2 Áudio Analógico IO

O processamento de áudio é sempre feito em stereo (isso significa separação entre os canais direito e esquerdo) e a troca completa é realizada usando HEF4052, que é um duplo multiplexer quatro por um. As linhas de entrada para o seletor [7301] são providas pelo MSP [7304] (AIA_LMSP/AIA_R_MSP) ou entrada de cinch traseiro (Ext AIA_R_RE1/AIA_L_RE1) ou a entrada de cinch frontal (AIA_RFR/AIA_L)FR). O [7201] controlado via sinais RSA 1- e RSA 2- provém do MSP [7500]. O MSP atua como uma porta expansora do Driver de Controle FIP. O Op-Amp na saída [7201] é necessário para razões de desempenho e atua também como um driver. Os sinais selecionados ALADC* e ARADC* são diretamente alimentados pelo Áudio-ADC. Como existe também uma quinta entrada (DV-in), os correspondentes sinais de áudio (ALDAC*/ARDAC*) do painel digital são distribuídos via MSP [7304] e saída como AIA_R_FR/AIA_L_FR para seletor [7201]

a) Trajeto de gravação

A seleção completa de sinal de áudio para gravação é feita por HEF4052 [7201], que é um duplo multiplexer quatro por um. As linhas de entrada para o seletor [7301] são providas pelo MSP [7304] (AIA_LMSP/AIA_R_MSP) ou entrada de cinch traseiro (Ext AIA_R_RE1/AIA_L_RE1) ou a entrada de cinch frontal (AIA_RFR/AIA_L)FR). O [7201] controlado via sinais RSA 1- e RSA 2- provém do MSP [7500]. O MSP atua como uma porta expansora do Driver de Controle FIP. O Op-Amp na saída [7201] é necessário para razões de desempenho e atua também como um driver. Os sinais selecionados ALADC* e ARADC* são diretamente alimentados pelo Áudio-ADC. Como existe também uma quinta entrada (DV-in), os correspondentes sinais de áudio (ALDAC*/ARDAC*) do painel digital são distribuídos via MSP [7304] e saída como AIA_R_FR/AIA_L_FR para seletor [7201]

b) Saída de cinch

O Multiplexer (HEF7201) seleciona sinais de poucas fontes, chamadas Cinch Frontal de Entrada (AIA_R_RE1/AIA_L_RE1) Cinch Frontal de Entrada (AIA_R_FR/AIA_L_FR) e MSP (AIA_L_MSP/AIA_R_MSP). O multiplexer é controlado via sinais RSA 1 e RSA 2 vindos do MSP.

c) Trajeto de saída digital de áudio.

Adicionado à saída analógica o aparelho é também equipado com saída de áudio digital via plug cinch [1131]. O sinal é gerado no painel digital e distribuído via cabo de interface de áudio e conector [1600] para o painel analógico. Aqui o DAOUT-line primeiro passa por um inversor 6-fold [7700] usado como um driver e para razões de performance (redução de ruído, jitter, etc.).

8.3.4. Audio ADC/DAC

A conversão de sinais analógicos de áudio (ALADC*/ARADC*) do seletor de gravação [7201] é feita via AID_DAT [7203]. Este IC pode processar sinais de entrada até 2Vrms utilizando resistores externos em série com os pinos de entrada. Todos os sinais de clock exigidos são gerados no painel digital e somente os dados de áudio (AID_DAT) são distribuídos do analógico para o painel digital para processos posteriores.

A transformação de áudio digital para analógico é feita por CS4351 [7206]. Todos os sinais clock necessários provém do painel digital e dados de áudio digital, (D_DATA0-line) são convertidos em sinais analógicos (pino 15 e 18). Os sinais de saída da parte áudio DAC (AOUTA/AOUTB) são diretamente distribuídas para os soquetes cinch traseiros. Para evitar pops e outros ruídos audíveis, existe na saída um estágio mute implementado para cada canal. A ativação da função mute é feita via AMUTEC e BMUTEC (mute digital de silêncio) do áudio DAC e também a linha AKILL que é uma combinação de D_KILL do painel digital e POWER_FAIL da fonte de alimentação.

*Nota: ALADC refere-se ao VINL do IC7203
ARADC refere-se ao VINL do IC7203

8.3.5 Roteamento de vídeo

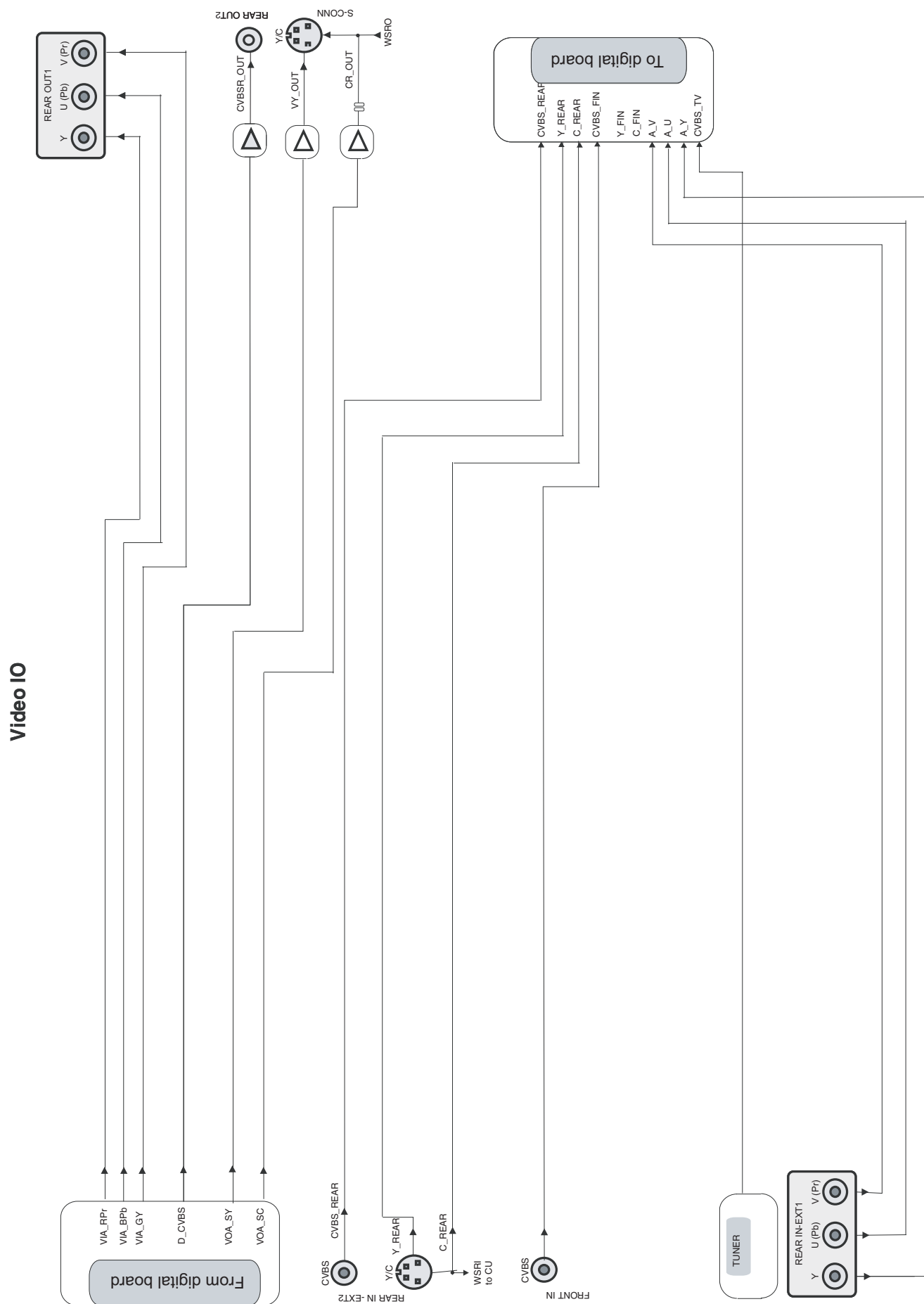


Figura 8-3 Vídeo Analógico IO

A mudança das variadas entradas de sinais de vídeo são feitas pelo Processador de Entrada de Vídeo no painel digital. Estes sinais são diretamente distribuídos para o painel digital pelo conector 1122 no painel analógico.

8.4. Painel Digital

O painel digital é baseado na alta integração LSI 'Domino' chip BGA (Ball Grid Array), DMN-8652. Este IC contém 2 chips internos ATAPI controlado e integrado a um codificador de vídeo, e fornece suporte interno para não-simultâneo progressivo e interlaçada

saída de vídeo. Um função camada de link 1394 também é integrada, exigindo somente um dispositivo externo simples da camada física. O painel codifica e multiplexa vídeo analógicos e descompressa áudio digital (I2S) em corrente MPEG2. Esta corrente MPEG2 é formatada para gravação pelo DVD+RW. Na reprodução, o painel irá decodificar o vídeo MPEG2 em vídeo analógico. Adicionando, uma corrente DV pode ser recebida via IEEE 1394 (i-link), e transformada para o formato MPEG2.

8.4.1 Modo de gravação

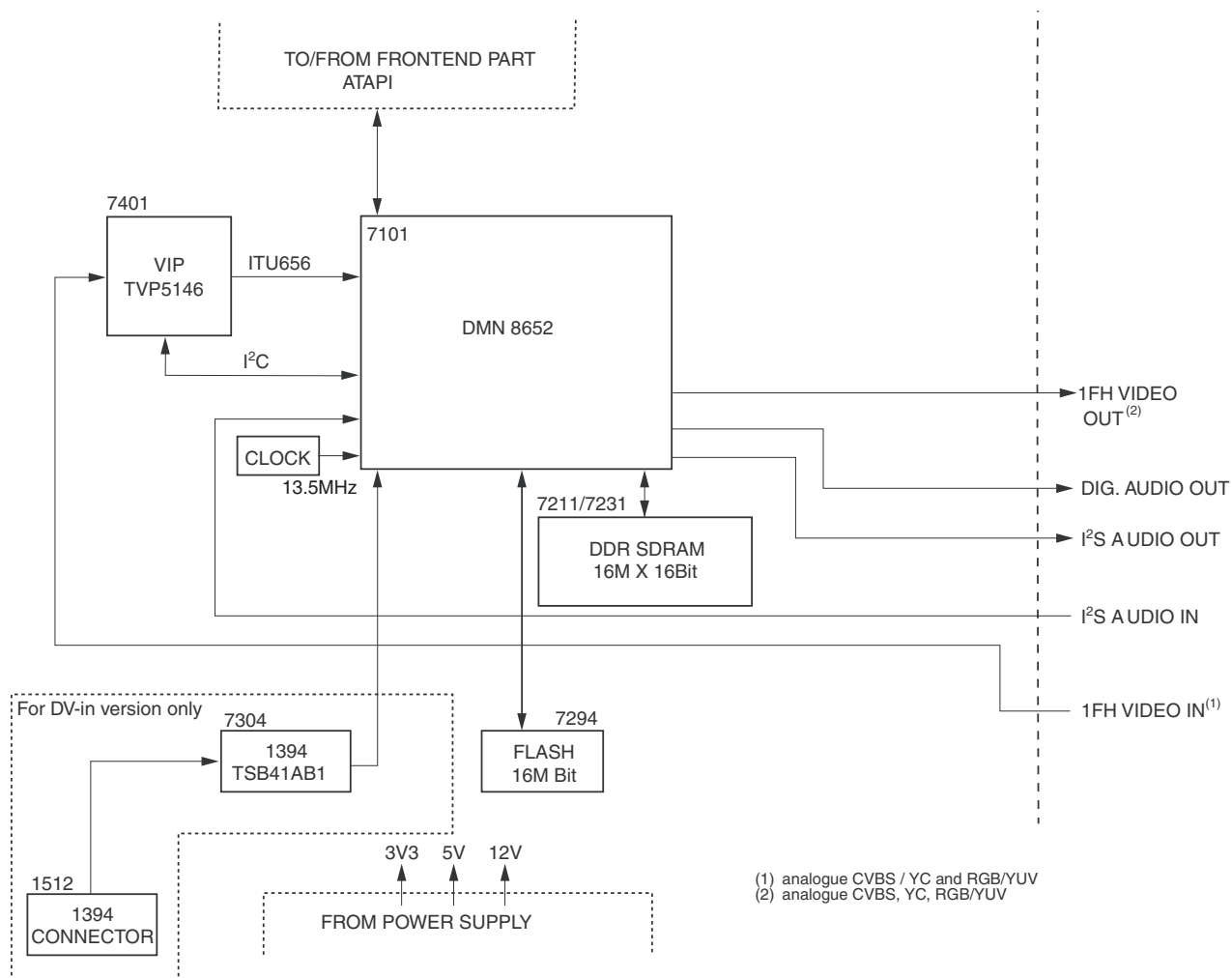


Figura 8-4 Bloco Domínio

Parte Vídeo

Os sinais de entrada de vídeo digital do DV no painel frontal são distribuídos do conector 1521 via IEEE 1394 PHY IC [7301] para o chip Domino [7101]

O Processador de Entrada de Vídeo codifica o vídeo analógico para a corrente de vídeo digital (formato CCIR656). A corrente de saída, chamada VID_D (9 : 0), é então distribuída para o chip Domino. Este IC codifica e decodifica a corrente de vídeo digital em/para o formato MPEG2.

Parte Áudio

Áudio I2S é enviada à painel analógico para o chip Domino via conector 1536.

O chip Domino comprime o dado de áudio I2S em uma corrente de áudio MPEG1-L2/AC3.

Front-end I2S

O chip Domino interage diretamente com o motor básico via ATAPI conector 1571.

Isto armazena as correntes de dados que vem (ou vão) do motor básico.

No chip Domino, a corrente de vídeo MPEG2 e a corrente de áudio AC3 são enviadas para o motor básico para gravação por barramento ATAPI.

8.4.2. Modo Reprodução

Durante a reprodução, os dados do motor básico vão diretamente para o chip Domino via interface ATAPI. O chip Domino tem as seguintes saídas:

- Vídeo analógico CVBS, YC e saídas RGB no conector 1521
- Áudio I2S (formato PCM) no conector 1536
- Áudio SPDIF (saída digital de áudio) no conector 1536

8.4.3. Interface Motor Básico

O painel digital está equipada com um barramento IDE (ATAPI) para conexão com o motor básico.

8.4.4 Distribuição de clock

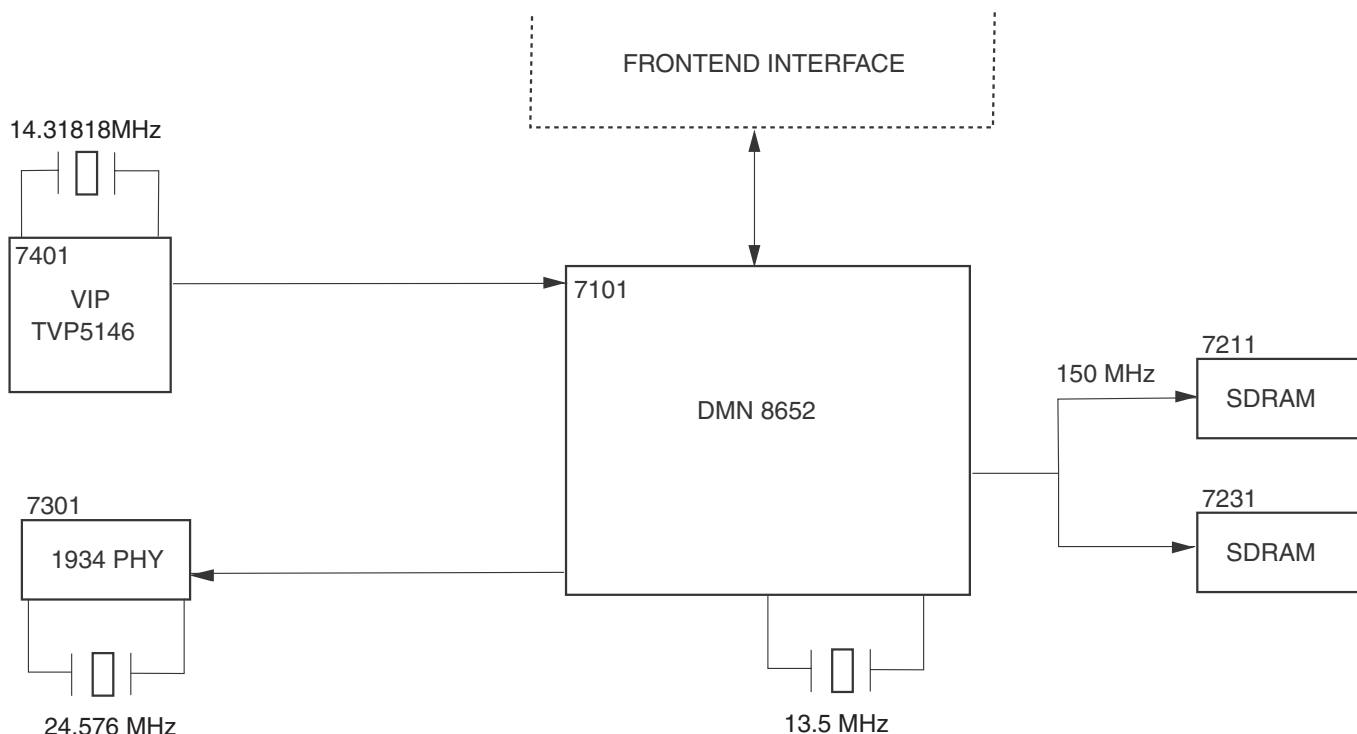


Figura 8-5 Dominio_Clock

O chip Domino tem um complexo sistema, que é necessário para suportar a execução do processo nas diferentes frequências assim como na decodificação de vídeo, decodificação de áudio ou dispositivos periféricos I/O etc. Para assegurar uma iniciação sincronizada de todos os registros e o estado das máquinas, todos os PLLs são trocados para suas frequências padrão 27MHz. Então quando a unidade de controle carregada foi corretamente inicializada e uma vez capturou todos os parâmetros carregados, ajusta os PLLs as suas frequências funcionais. Graças a um mecanismo de bloqueio do clock, o chaveamento da frequência é grátis.

Sistema de Clocks:

- DMN-8652 (7101, pino A1 e A2) : 13.5MHz fornecidos pelo x'tal 1101
- DMN-8652 1394-LINK (7101, pino K1) : 49.152MHz fornecidos pelo 1394-PHY
- TVP5146 (7401, pino 74 e 75) : 14.31818MHz fornecidos pelo x'tal 1461
- SDRAM (7211 e 7231, pino 45 e 46) : 150MHz fornecidos pelo DMN-8652
- TSB41AB1PHP IEEE 1394 PHY IC (7301, pino 42 e 43) : 24.576MHz fornecidos pelo x'tal 1351

8.4.5. Fonte de alimentação

O painel digital não tem energia no modo Standby. O sinal de controle STBY no painel digital habilita a PSU e a energia no painel digital.

- STBY = Baixo: o painel digital está desligada no modo Standby.
- STBY = Alto: a fonte de alimentação para o painel digital está habilitada.

O 3V3, +5V +12V vem da PSU, enquanto as seguintes tensões são geradas no painel digital:

- O núcleo da tensão 1.8V é gerado no painel por um regulador de tensão baixo 2A [7521]

- A fonte 2.5V da SDRAM é gerada por um regulador linear de saída baixa ultra rápida[7515]
- A fonte 1.25V DDR é gerada pelo regulador [7201]

8.4.6. Memória

FLASH IC7294 : esta memória contém os parâmetros de carga e aplicações firmware.

8.4.7 Reset

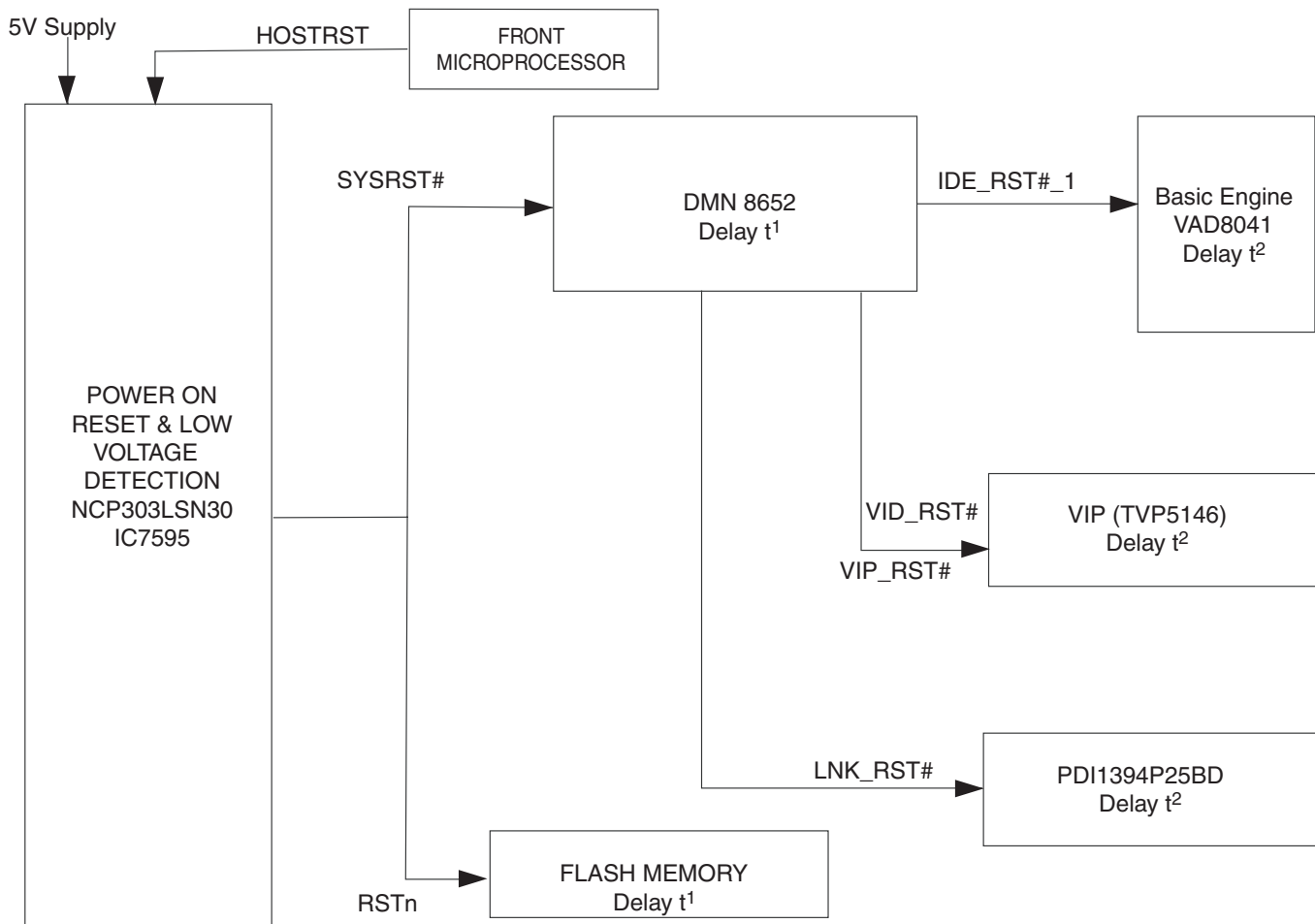


Figura 8-6 Dominio_Reset

Conceito Reset no painel digital

O resto do circuito [7595] cuida para que dispositivos diferentes no painel digital seja reinicializado na ordem correta. A energia no circuito reset fornece os seguintes resets (delay τ_1):

- SYS_RST# para o chip Domino [7101] e memória FLASH [7294]

O chip Domino então gera outros sinais de reset (delay τ_2) via seus GPIOs:

- VID_RST# para resetar o VIP [7401]
- LINK_RST# para resetar o IEEE 1394 DV PHY IC [7301]
- IDE_RST#_1 para resetar o Motor básico

8.4.8. Conector I/O

Conector Áudio IO (item 1563)

O conector de áudio IN/OUT (AIO) é utilizado para intercambiar os sinais de áudio digital entre os painéis analógico e digital.

Conector Vídeo IO (item 1521)

O conector de vídeo IN/OUT (VIO) é utilizado para intercambiar os sinais de vídeo análogos entre os painéis analógico e digital.

8.5. Descrição do IC

8.5.1. Painei Analógico

IC7304 - Família Processador de Áudio Multistand

Diagrama em bloco

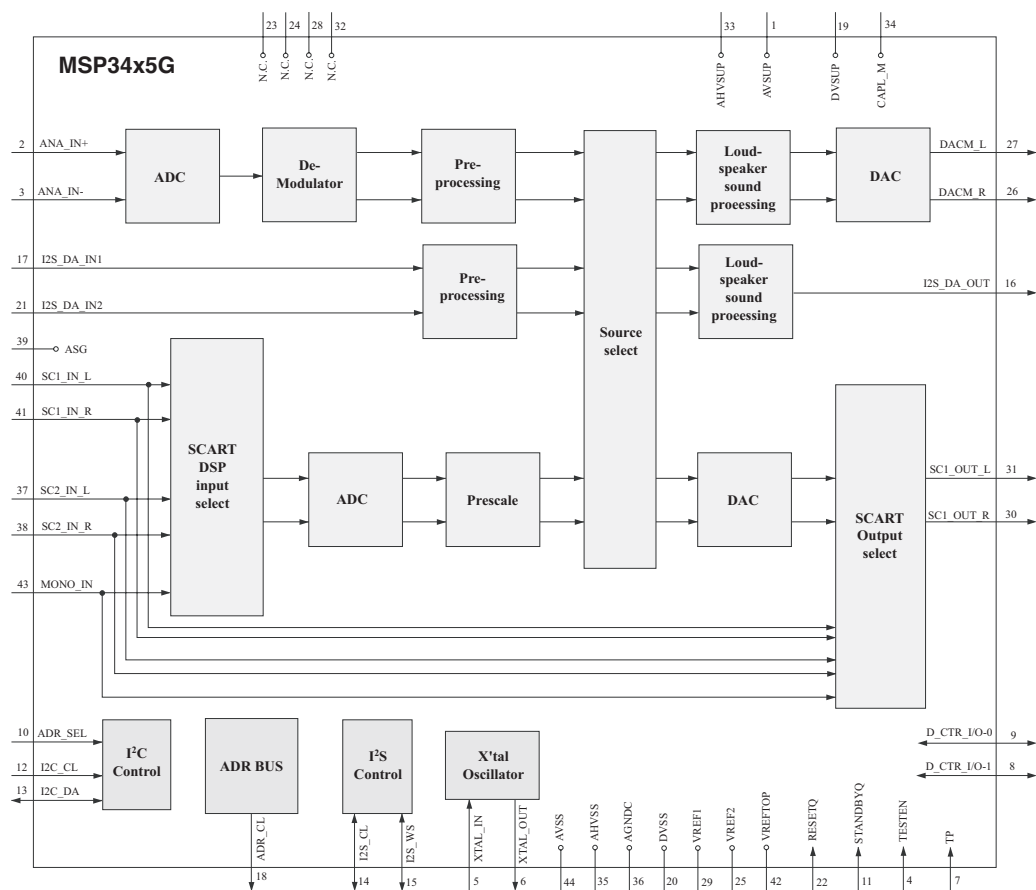
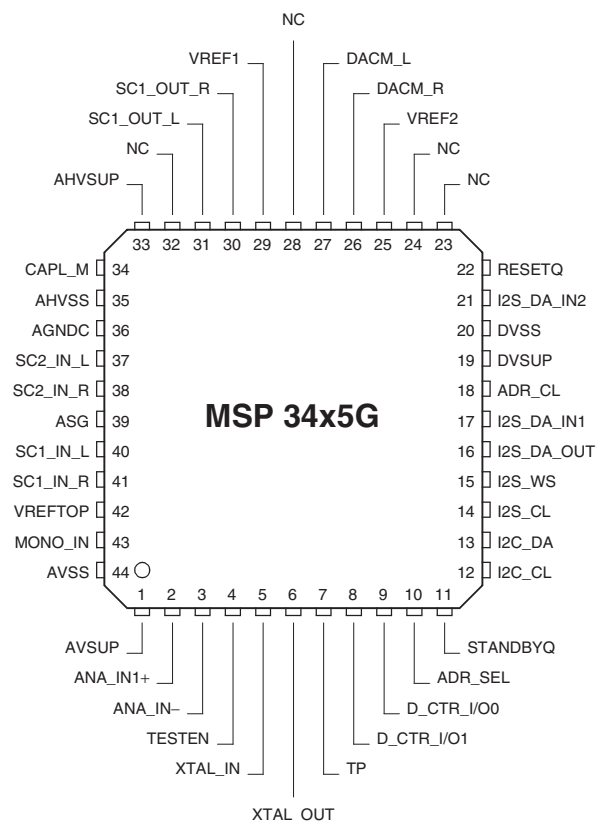


Figura 8-7

CONFIGURAÇÃO DO PINO



PMQFP44 package

Figura 8-8

IC7206 - 192KHz Stereo- DAC com 2vrms line-out

DIAGRAMA EM BLOCO

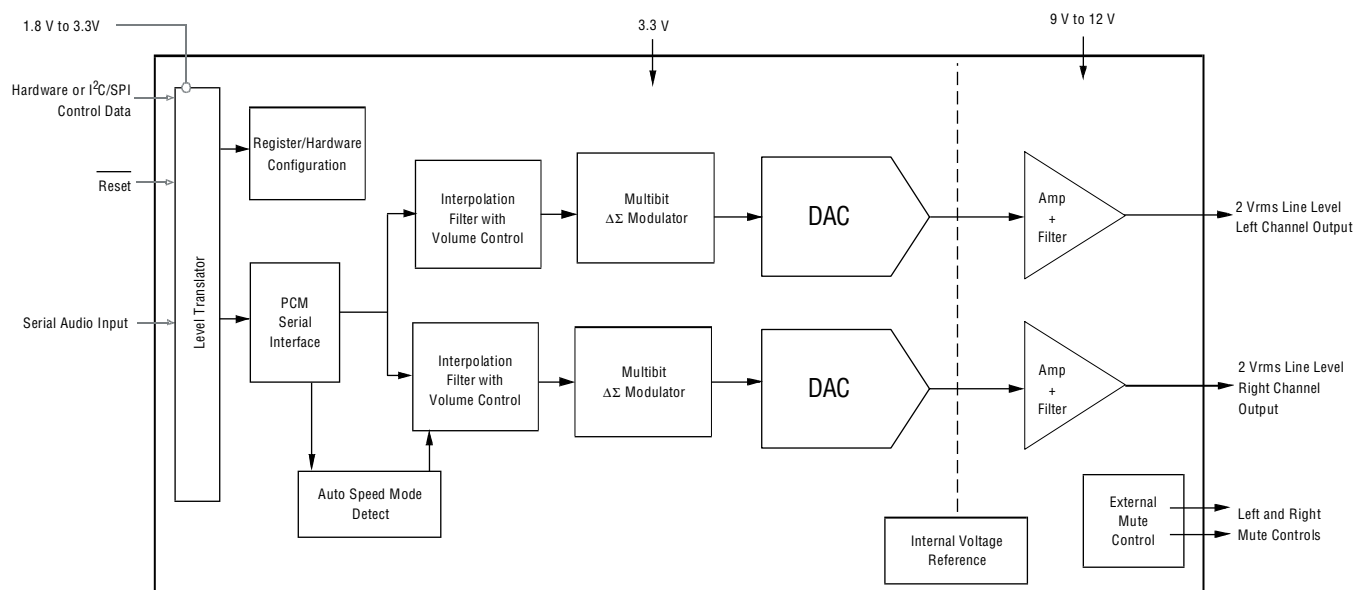
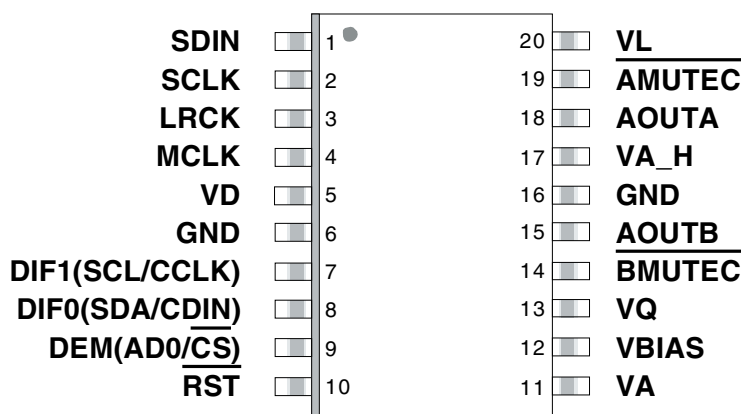


Figura 8-9

DESCRIÇÃO E CONFIGURAÇÃO DO PINO



Pin Name	#	Pin Description
SDIN	1	Serial Audio Data Input (<i>Input</i>) - Input for two's complement serial audio data.
SCLK	2	Serial Clock (<i>Input</i>) - Serial clock for the serial audio interface.
LRCK	3	Left / Right Clock (<i>Input</i>) - Determines which channel, Left or Right, is currently active on the serial audio data line.
MCLK	4	Master Clock (<i>Input</i>) - Clock source for the delta-sigma modulator and digital filters.
VD	5	Digital Power (<i>Input</i>) - Positive power supply for the digital section.
GND	6	Ground (<i>Input</i>) - Ground reference.
	16	
$\overline{\text{RST}}$	10	Reset (<i>Input</i>) - Powers down device and resets all internal registers to their default settings when enabled.
VA	11	Low Voltage Analog Power (<i>Input</i>) - Positive power supply for the analog section.
VBIAS	12	Positive Voltage Reference (<i>Output</i>) - Positive reference voltage for the internal DAC.
VQ	13	Quiescent Voltage (<i>Output</i>) - Filter connection for internal quiescent voltage.
VA_H	17	High Voltage Analog Power (<i>Input</i>) - Positive power supply for the analog section.
VL	20	Serial Audio Interface Power (<i>Input</i>) - Positive power for the serial audio interface
$\overline{\text{BMUTEC}}$	14	Mute Control (<i>Output</i>) - Control signal for optional mute circuit.
$\overline{\text{AMUTEC}}$	19	
AOUTB	15	Analog Outputs (<i>Output</i>) - The full scale analog line output level is specified in the <i>Analog Characteristics</i> table.
AOUTA	18	
Control Port Definitions		
SCL/CCLK	7	Serial Control Port Clock (<i>Input</i>) - Serial clock for the control port interface.
SDA/CDIN	8	Serial Control Data (<i>Input/Output</i>) - Input/Output for I ² C data. Input for SPI data.
AD0/ $\overline{\text{CS}}$	9	Address Bit 0 / Chip Select (<i>Input</i>) - Chip address bit in I ² C Mode. Control Port enable in SPI mode.
Stand-Alone Definitions		
DIF0	8	Digital Interface Format (<i>Input</i>) - Defines the required relationship between the Left Right Clock, Serial Clock, and Serial Audio Data.
DIF1	7	
DEM	9	De-emphasis (<i>Input</i>) - Selects the standard 15μs/50μs digital de-emphasis filter response for 44.1 kHz sample rates

IC7203 - 96KHz Amostragem de 24-bit stereo audio ADC

DIAGRAMA EM BLOCO

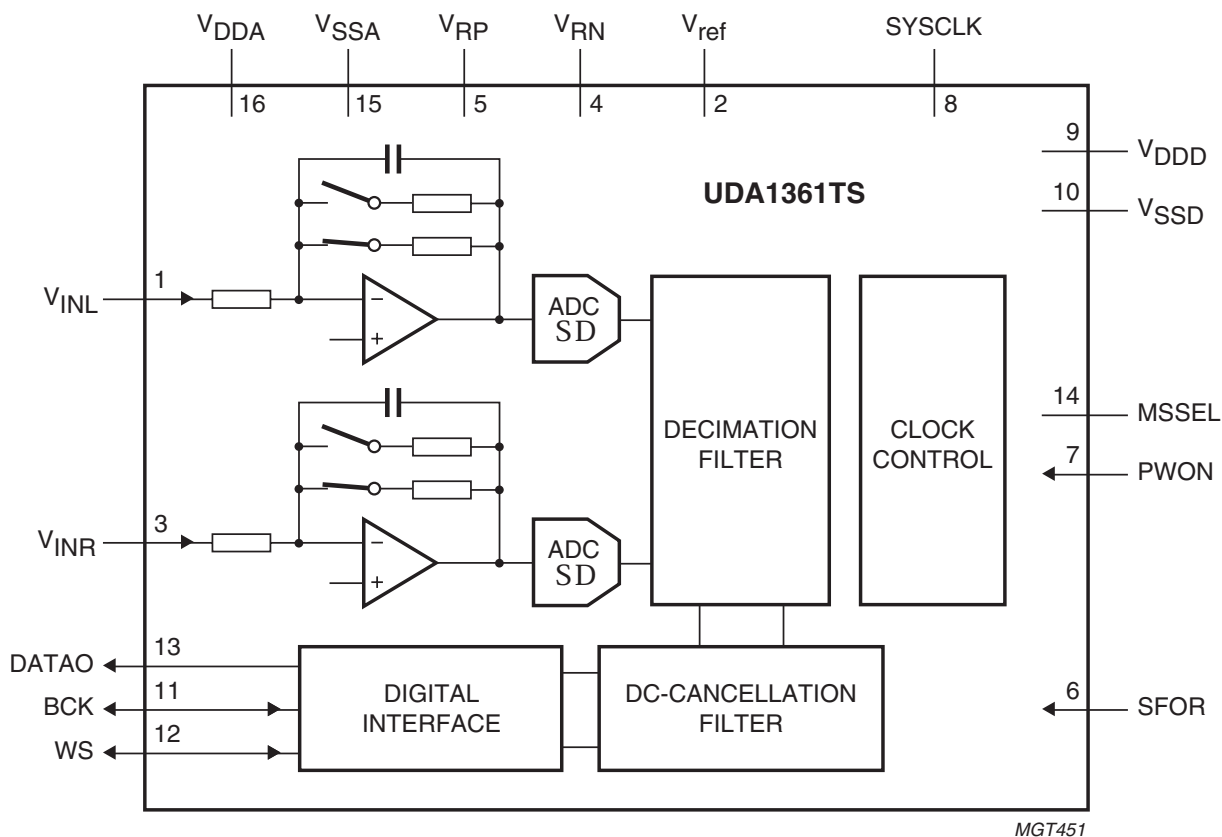
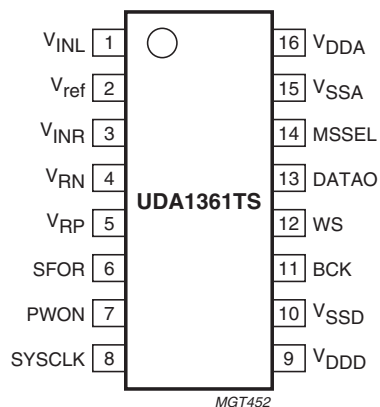


Figura 8-10

DESCRIÇÃO E CONFIGURAÇÃO DO PINO

SYMBOL	PIN	DESCRIPTION
V_{INL}	1	left channel input
V_{ref}	2	reference voltage
V_{INR}	3	right channel input
V_{RN}	4	negative reference voltage
V_{RP}	5	positive reference voltage
SFOR	6	data format selection input
PWON	7	power control input
SYSCLK	8	system clock 256, 384, 512 or 768f _s
V_{DDD}	9	digital supply voltage
V_{SSD}	10	digital ground
BCK	11	bit clock input/output
WS	12	word select input/output
DATAO	13	data output
MSSEL	14	master/slave select
V_{SSA}	15	analog ground
V_{DDA}	16	analog supply voltage



IC7301 - IEEE 1394a-2000 um cabo Transceiver/Arbiter

The block diagram illustrates the internal architecture of the 66C46 Ethernet controller. The central component is the **Arbitration and Control State Machine Logic**, which is connected to several other blocks:

- Link Interface I/O**: This block handles external communication. It has inputs for **CPS**, **LPS**, and **ISO**, and outputs for **C A**. It also has bidirectional data lines for **S SCL**, **LRE**, **CTL0**, **CTL1**, and data lines **D0** through **D7**. Control signals **PC0**, **PC1**, and **PC** are inputs, while **C/L O** is an output.
- Received Data Decoder/Retimer**: Receives data from the Link Interface I/O and outputs to the Arbitration and Control State Machine Logic.
- Transmit Data Encoder**: Receives data from the Arbitration and Control State Machine Logic and outputs to the Link Interface I/O. It is also controlled by **PD** and **RESET** signals.
- Bias Voltage and Current Generator**: Receives control signals **R0** and **R1** and provides **TPBIAS** to the Cable Port. It also receives feedback from the Cable Port.
- Cable Port**: Contains four transceivers for differential signaling: **TPA+** and **TPA-**, and **TPB+** and **TPB-**. It is connected to the Arbitration and Control State Machine Logic and the Bias Voltage and Current Generator.
- Crystal Oscillator, PLL System, and Clock Generator**: Provides clock signals **XI** and **XO** to the Arbitration and Control State Machine Logic. It also includes **FILTER0** and **FILTER1** inputs.

Figura 8-11

CONFIGURAÇÃO DOS PINO

DIAGRAMA TERMINAL PHP

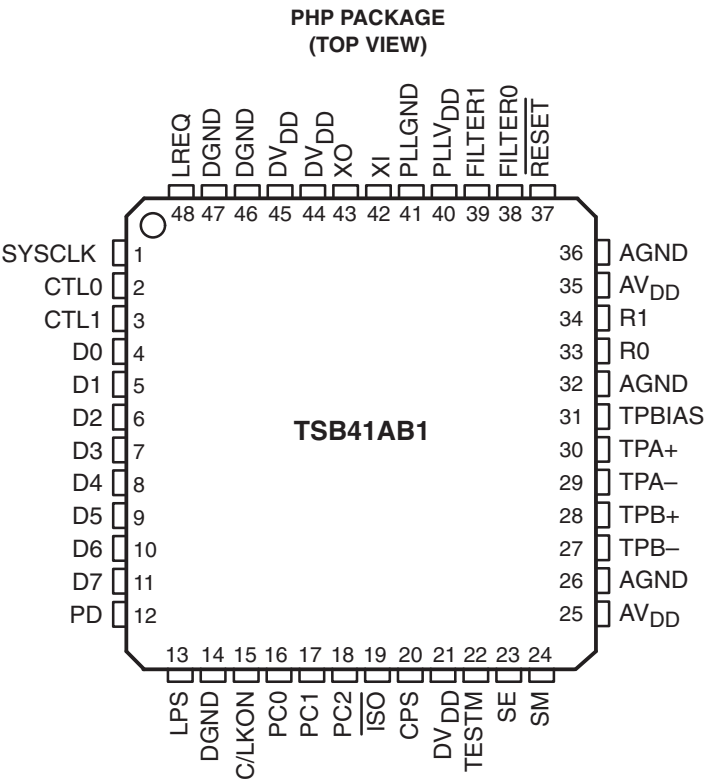


Figura 8-12

DESCRIÇÃO DO PINO

TERMINAL		TYPE	I/O	DESCRIPTION
NAME	PHP NO.			
AGND	26, 32, 36	Supply	–	Analog circuit ground terminals. These terminals should be tied together to the low-impedance circuit board ground plane.
AVDD	25, 35	Supply	–	Analog circuit power terminals. A combination of high frequency decoupling capacitors near each terminal is suggested, such as paralleled 0.1 μ F and 0.001 μ F. Lower frequency 10 μ F filtering capacitors are also recommended. These supply terminals are separated from PLLVDD and DVDD inside the device to provide noise isolation. They should be tied at a low-impedance point on the circuit board.
C/LKON	15	CMOS	I/O	Bus manager contender programming input and link-on output. On hardware reset, this terminal is used to set the default value of the contender status indicated during self-ID. Programming is done by tying the terminal through a 10-kΩ resistor to a high (contender) or low (not contender). The resistor allows the link-on output to override the input. However, it is recommended that this terminal should be programmed low, and that the contender status be set via the C register bit. If the TSB41AB1 is used with an LLC that has a dedicated terminal for monitoring LKON and also setting the contender status, then a 1-kΩ series resistor should be placed on the LKON line between the PHY and LLC to prevent bus contention. Following hardware reset, this terminal is the link-on output, which is used to notify the LLC to power up and become active. The link-on output is a square-wave signal with a period of approximately 163 ns (8 SYSCLK cycles) when active. The link-on output is otherwise driven low, except during hardware reset when it is high-impedance. The link-on output is activated if the LLC is inactive (LPS inactive or the LCtrl bit cleared) and when: a) the PHY receives a link-on PHY packet addressed to this node, or b) the PEI (port-event interrupt) register bit is 1, or c) any of the CTOI (configuration-time-out interrupt), CPSI (cable-power-status interrupt), or STOI (state-time-out interrupt) register bits are 1 and the RPIE (resuming-port interrupt enable) register bit is also 1. Once activated, the link-on output continues active until the LLC becomes active (both LPS active and the LCtrl bit set). The PHY also deasserts the link-on output when a bus reset occurs unless the link-on output would otherwise be active because one of the interrupt bits is set (that is, the link-on output is active due solely to the reception of a link-on PHY packet). NOTE: If an interrupt condition exists which would otherwise cause the link-on output to be activated if the LLC were inactive, the link-on output is activated when the LLC subsequently becomes inactive.
CNA	N/A	CMOS	O	Cable-not-active output. This terminal is asserted high when there is no incoming bias voltage.
CPS	20	CMOS	I	Cable power status input. This terminal is normally connected to cable power through a 400-k Ω resistor. This circuit drives an internal comparator that is used to detect the presence of cable power. This terminal should be tied directly to DVDD supply if application does not require it to be used.
CTL0 CTL1	2 3	CMOS	I/O	Control I/Os. These bidirectional signals control communication between the TSB41AB1 and the LLC. Bus holders are built into these terminals.
D0 D1 D2 D3 D4 D5 D6 D7	4 5 6 7 8 9 10 11	CMOS	I/O	Data I/Os. These are bidirectional data signals between the TSB41AB1 and the LLC. Bus holders are built into these terminals.

TERMINAL		TYPE	I/O	DESCRIPTION
NAME	PHP NO.			
DGND	14, 46, 47	Supply	–	Digital circuit ground terminals. These terminals should be tied together to the low-impedance circuit board ground plane.
DV _{DD}	21, 44, 45	Supply	–	Digital circuit power terminals. A combination of high-frequency decoupling capacitors near each terminal is suggested, such as paralleled 0.1 μ F and 0.001 μ F. Lower frequency 10 μ F filtering capacitors are also recommended. These supply terminals are separated from PLLV _{DD} and AV _{DD} inside the device to provide noise isolation. They should be tied at a low-impedance point on the circuit board.
FILTER0 FILTER1	38 39	CMOS	I/O	PLL filter terminals. These terminals are connected to an external capacitor to form a lag-lead filter required for stable operation of the internal frequency multiplier PLL running from the crystal oscillator. A 0.1 μ F $\pm$ 10% capacitor is the only external component required to complete this filter.
ISO	19	CMOS	I	Link interface isolation control input. This terminal controls the operation of output differentiation logic on the CTL and D terminals. If an optional Annex J type isolation barrier is implemented between the TSB41AB1 and LLC, the ISO terminal should be tied low to enable the differentiation logic. If no isolation barrier is implemented (direct connection), or TI bus holder isolation is implemented, the ISO terminal should be tied high to disable the differentiation logic. For additional information refer to TI application note <i>Galvanic Isolation of the IEEE 1394-1995 Serial Bus</i> , SLLA011.
LPS	13	CMOS	I	Link power status input. This terminal monitors the active/power status of the link layer controller and controls the state of the PHY-LLC interface. This terminal should be connected through a 10-kΩ resistor either to the V_{DD} supplying the LLC, or to a pulsed output which is active when the LLC is powered (see Figure 9). A pulsed signal should be used when an isolation barrier exists between the LLC and PHY. (See Figure 10.) The LPS input is considered inactive if it is sampled low by the PHY for more than 2.6 μs (128 SYSCLK cycles), and is considered active otherwise (that is, asserted steady high or an oscillating signal with a low time less than 2.6 μs). The LPS input must be high for at least 21 ns to guarantee that a high is observed by the PHY. When the TSB41AB1 detects that LPS is inactive, it places the PHY-LLC interface into a low-power reset state. In the reset state, the CTL and D outputs are held in the logic zero state and the LREQ input is ignored; however, the SYSCLK output remains active. If the LPS input remains low for more than 26 μs (1280 SYSCLK cycles), the PHY-LLC interface is put into a low-power disabled state in which the SYSCLK output is also held inactive. The PHY-LLC interface is placed into the disabled state upon hardware reset. The LLC is considered active only if both the LPS input is active and the LCtrl register bit is set to 1, and is considered inactive if either the LPS input is inactive or the LCtrl register bit is cleared to 0.
LREQ	48	CMOS	I	LLC request input. The LLC uses this input to initiate a service request to the TSB41AB1. Bus holder is built into this terminal.
PC0 PC1 PC2	16 17 18	CMOS	I	Power class programming inputs. On hardware reset, these inputs set the default value of the power class indicated during self-ID. Programming is done by tying these terminals high or low. Refer to Table 9 for encoding.
PD	12	CMOS	I	Power-down input. A high on this terminal turns off all internal circuitry except the cable-active monitor circuits, which control the CNA output (64-terminal PAP package only). Asserting the PD input high also activates an internal pulldown on the RESET terminal to force a reset of the internal control logic. (PD is provided for legacy compatibility and is not recommended for power management in place of IEEE 1394a-2000 suspend/resume LPS and C/LKON features.)

TERMINAL		TYPE	I/O	DESCRIPTION
NAME	PHP NO.			
PLL _{GND}	41	Supply	–	PLL circuit ground terminals. These terminals should be tied together to the low-impedance circuit board ground plane.
PLL _{V_{DD}}	40	Supply	–	PLL circuit power terminals. A combination of high-frequency decoupling capacitors near each terminal is suggested, such as paralleled 0.1 μ F and 0.001 μ F. Lower frequency 10 μ F filtering capacitors are also recommended. This supply terminal is separated from DV _{DD} and AV _{DD} inside the device to provide noise isolation. It should be tied at a low-impedance point on the circuit board.
R0 R1	33 34	Bias	–	Current setting resistor terminals. These terminals are connected through an external resistor to set the internal operating currents and cable driver output currents. A resistance of 6.34 k Ω $\pm$ 1.0% is required to meet the IEEE Std 1394-1995 output voltage limits.
$\overline{\text{RESET}}$	37	CMOS	I	Logic reset input. Asserting this terminal low resets the internal logic. An internal pullup resistor to V _{DD} is provided so only an external delay capacitor is required for proper power-up operation (see <i>power-up reset</i> in the Application Information section). The $\overline{\text{RESET}}$ terminal also incorporates an internal pulldown which is activated when the PD input is asserted high. This input is otherwise a standard logic input, and may also be driven by an open-drain type driver.
SE	23	CMOS	I	Test control input. This input is used in manufacturing test of the TSB41AB1. For normal use this terminal may be tied to GND through a 1-k Ω pulldown resistor or it may be tied to GND directly.
SM	24	CMOS	I	Test control input. This input is used in manufacturing test of the TSB41AB1. For normal use this terminal should be tied to GND.
SYSCLK	1	CMOS	O	System clock output. Provides a 49.152-MHz clock signal, synchronized with data transfers, to the LLC.
TESTM	22	CMOS	I	Test control input. This input is used in manufacturing test of the TSB41AB1. For normal use this terminal should be tied to V _{DD} .
TPA+	30	Cable	I/O	Twisted-pair cable A differential signal terminals. Board traces from the pair of positive and negative differential signal terminals should be kept matched and as short as possible to the external load resistors and to the cable connector.
TPA–	29	Cable	I/O	
TPB+	28	Cable	I/O	Twisted-pair cable B differential signal terminals. Board traces from the pair of positive and negative differential signal terminals should be kept matched and as short as possible to the external load resistors and to the cable connector.
TPB–	27	Cable	I/O	
TPBIAS	31	Cable	I/O	Twisted-pair bias output. This provides the 1.86 V nominal bias voltage needed for proper operation of the twisted-pair cable drivers and receivers, and for signaling to the remote nodes that there is an active cable connection.
XI XO	42 43	Crystal	–	Crystal oscillator inputs. These terminals connect to a 24.576-MHz parallel resonant fundamental mode crystal. The optimum values for the external shunt capacitors are dependent on the specifications of the crystal used (see <i>crystal selection</i> in the Application Information section). When an external clock source is used, XI should be the input and XO should be left open, and the clock must be supplied before the device is powered on.

IC7401 - 4x10bit Decodificador de Vídeo Digital com microvision

DIAGRAMA EM BLOCO

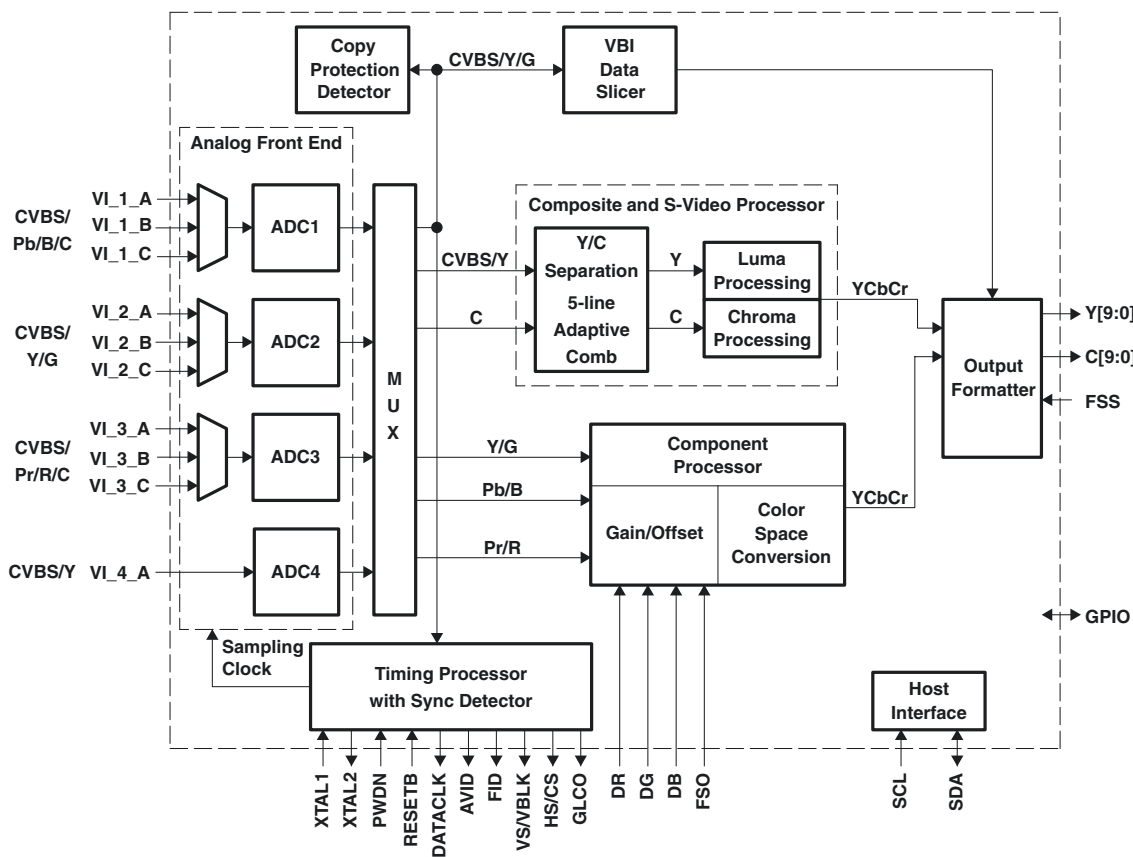


Figura 8-13

CONFIGURAÇÃO DO PINO

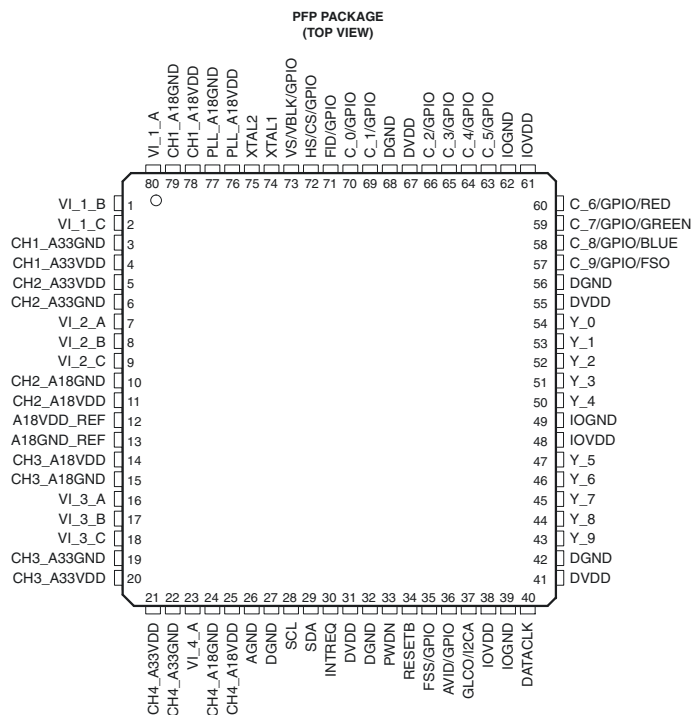


Figura 8-14

DESCRIÇÃO DO PINO

TERMINAL NAME	NUMBER	I/O	DESCRIPTION
Analog Video			
VI_1_A	80	I	VI_1_x: Analog video input for CVBS/Pb/B/C
VI_1_B	1		VI_2_x: Analog video input for CVBS/Y/G
VI_1_C	2		VI_3_x: Analog video input for CVBS/Pr/R/C
VI_2_A	7		VI_4_A: Analog video input for CVBS/Y
VI_2_B	8		Up to 10 composite, 4 S-video, and 2 composite or 3 component video inputs (or a combination thereof) can be supported.
VI_2_C	9		
VI_3_A	16		The inputs must be ac-coupled. The recommended coupling capacitor is 0.1 μ F.
VI_3_B	17		
VI_3_C	18		
VI_4_A	23		The possible input configurations are listed in the input select register at I ² C subaddress 00h (see Section 2.11.1).
Clock Signals			
DATACLK	40	O	Line-locked data output clock.
XTAL1	74	I	External clock reference input. It may be connected to an external oscillator with a 1.8-V compatible clock signal or a 14.31818-MHz crystal oscillator.
XTAL2	75	O	External clock reference output. Not connected if XTAL1 is driven by an external single-ended oscillator.
Digital Video			
C[9:0]/ GPIO[9:0]	57, 58, 59, 60, 63, 64, 65, 66, 69, 70	O	Digital video output of CbCr, C[9] is MSB and C[0] is LSB. Unused outputs can be left unconnected. Also, these terminals can be programmable general-purpose I/O. For the 8-bit mode, the two LSBs are ignored.
D_BLUE	58	I	Digital BLUE input from overlay device
D_GREEN	59	I	Digital GREEN input from overlay device
D_RED	60	I	Digital RED input from overlay device
FSO	57	I	Fast-switch overlay between digital RGB and any video
Y[9:0]	43, 44, 45, 46, 47, 50, 51, 52, 53, 54	O	Digital video output of Y/YCbCr, Y[9] is MSB and Y[0] is LSB. For the 8-bit mode, the two LSBs are ignored. Unused outputs can be left unconnected.
Miscellaneous Signals			
FSS/GPIO	35	I/O	Fast-switch (blanking) input. Switching signal between the synchronous component video (YPbPr/RGB) and the composite video input. Programmable general-purpose I/O
GLCO/I2CA	37	I/O	Genlock control output (GLCO). Two Genlock data formats are available: TI format and real time control (RTC) format. During reset, this terminal is an input used to program the I ² C address LSB.
INTREQ	30	O	Interrupt request
PWDN	33	I	Power down input: 1 = Power down 0 = Normal mode
RESETB	34	I	Reset input, active low

TERMINAL NAME	NUMBER	I/O	DESCRIPTION
Host Interface			
SCL	28	I	I ² C clock input
SDA	29	I/O	I ² C data bus
Power Supplies			
AGND	26	I	Analog ground. Connect to analog ground.
A18GND_REF	13	I	Analog 1.8-V return
A18VDD_REF	12	I	Analog power for reference 1.8 V
CH1_A18GND CH2_A18GND CH3_A18GND CH4_A18GND	79 10 15 24	I	Analog 1.8-V return
CH1_A18VDD CH2_A18VDD CH3_A18VDD CH4_A18VDD	78 11 14 25	I	Analog power. Connect to 1.8 V.
CH1_A33GND CH2_A33GND CH3_A33GND CH4_A33GND	3 6 19 22	I	Analog 3.3-V return
CH1_A33VDD CH2_A33VDD CH3_A33VDD CH4_A33VDD	4 5 20 21	I	Analog power. Connect to 3.3 V.
DGND	27 32 42 56 68	I	Digital return
DVDD	31 41 55 67	I	Digital power. Connect to 1.8 V.
IOGND	39 49 62	I	Digital power return
IOVDD	38 48 61	I	Digital power. Connect to 3.3 V or less for reduced noise.
LL_A18GND	77	I	Analog power return
LL_A18VDD	76	I	Analog power. Connect to 1.8 V.
Sync Signals			
HS/CS/GPIO	72	I/O	Horizontal sync output or digital composite sync output Programmable general-purpose I/O
VS/VBLK/GPIO	73	I/O	Vertical sync output (for modes with dedicated VSYNC) or VBLK output Programmable general-purpose I/O
FID/GPIO	71	I/O	Odd/even field indicator output. This terminal needs a pulldown resistor. Programmable general-purpose I/O
AVID/GPIO	36	I/O	Active video indicator output Programmable general-purpose I/O

IC7595 - Séries Detector de Tensão com Atraso Programável

DIAGRAMA EM BLOCO

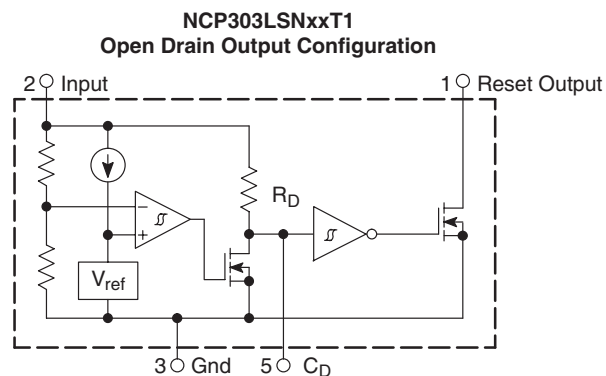
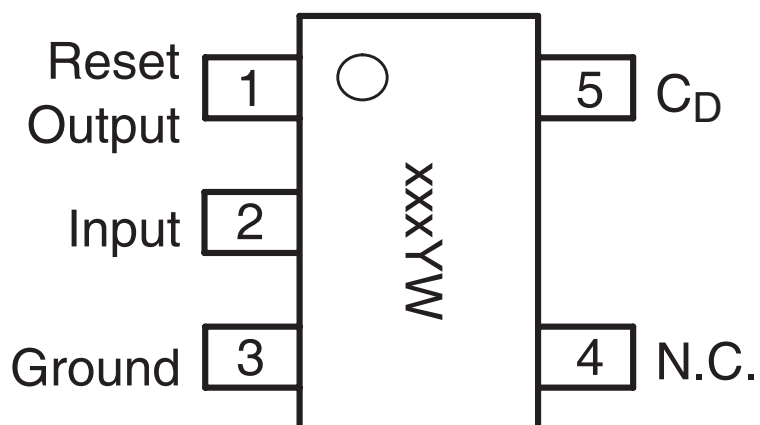


Figura 8-15

CONFIGURAÇÃO E DESCRIÇÃO DO PINO

PINOS CONECTORES E DIAGRAMA

VISTA SUPERIOR



xxx = 302 or 303

Y = Year

W = Work Week

Figura 8-16

VISTA EXPLODIDA DO APARELHO

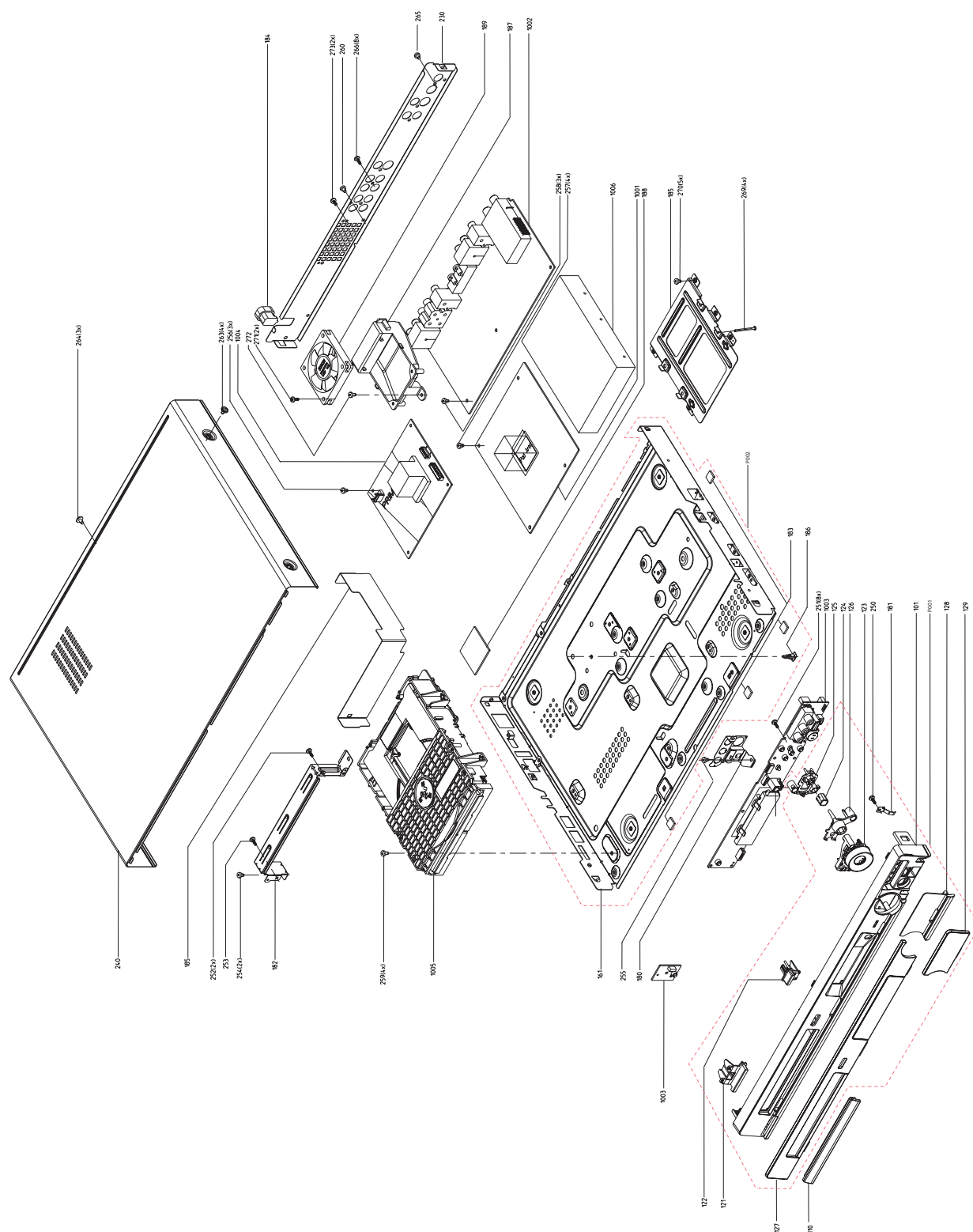


Figura 9-1